

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-090779**

(43)Date of publication of application : **27.03.2002**

(51)Int.Cl.

G02F 1/1368

G02F 1/1343

G09F 9/30

H01L 29/786

H01L 21/336

(21)Application number : **2000-286046**

(71)Applicant : **HITACHI LTD**

(22)Date of filing :

20.09.2000

(72)Inventor : **OKE RYUTARO**

NAKAYOSHI YOSHIKI

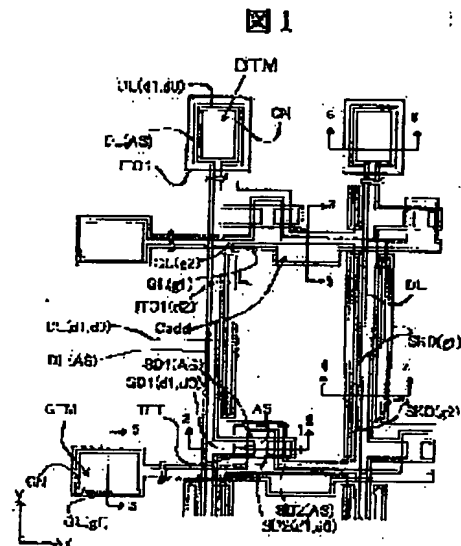
ONO KIKUO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce wiring specific resistance of a signal line.

SOLUTION: A pixel region on the liquid crystal side of one substrate of respective substrates disposed opposite to each other through a liquid crystal is provided with a thin film transistor driven by the supply of a scanning signal from a gate signal line and a pixel electrode to which a video signal is supplied from a drain signal line through the thin film transistor. The gate signal line consists of a multi-layered structure of at least an ITO film formed on the surface of the substrate and an Mo layer formed on an upper layer of the ITO film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application]

other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-90779
(P2002-90779A)

(43) 公開日 平成14年3月27日 (2002.3.27)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
G 0 2 F 1/1368		C 0 2 F 1/1343	2 H 0 9 2
		C 0 9 F 9/30	3 3 6 5 C 0 9 4
G 0 9 F 9/30	3 3 6	C 0 2 F 1/136	5 0 0 5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D
21/336			6 1 7 L
審査請求 未請求 請求項の数24 O L (全 38 頁)			

(21) 出願番号 特願2000-286046(P2000-286046)

(22) 出願日 平成12年9月20日 (2000.9.20)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 桶 隆太郎

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72) 発明者 仲吉 良彰

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

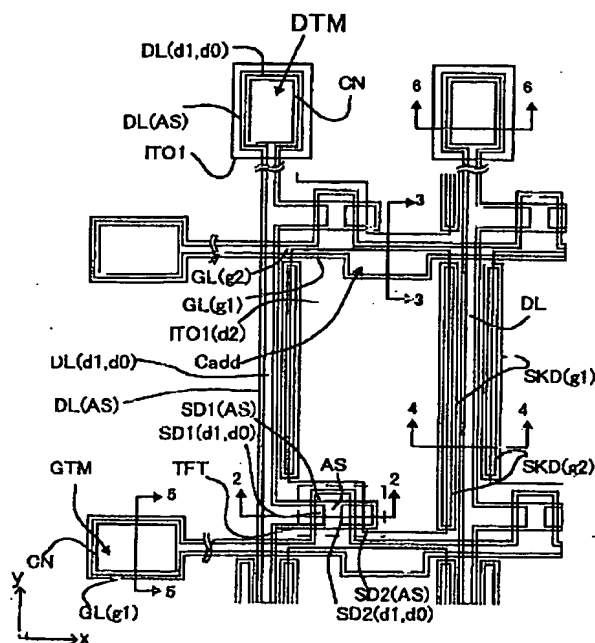
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 信号線の配線比抵抗の低減。

【解決手段】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、ゲート信号線からの走査信号の供給によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極とを備え、前記ゲート信号線は少なくとも前記基板面に形成されるITO膜とこのITO膜の上層に形成されるMo層の多層構造からなる。

図 1



【特許請求の範囲】

【請求項1】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、ゲート信号線からの走査信号の供給によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極とを備え、前記ゲート信号線は少なくとも前記基板面に形成されるITO膜、IZO膜のうちいずれかの膜とこのITO膜あるいはIZO膜の上層に形成されるMo層、W層、Cr層、Ti層、Ta層のうちいずれかの層あるいはそれらの合金層の多層構造からなることを特徴とする液晶表示装置。

【請求項2】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、ゲート信号線からの走査信号の供給によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極とを備え、前記ゲート信号線は少なくとも前記基板面に形成されるITO膜、IZO膜のうちいずれかの膜とこのITO膜あるいはIZO膜の上層に形成されるMo層、W層、Cr層、Ti層、Ta層のうちいずれかの層あるいはそれらの合金層の多層構造からなり、前記画素電極は前記薄膜トランジスタのゲート絶縁膜を一領域とする絶縁膜上に形成されていることを特徴とする液晶表示装置。

【請求項3】 薄膜トランジスタは、ゲート信号線に接続されるゲート電極、ゲート絶縁膜、半導体層、この半導体層の上面に形成される一対の電極との順次積層体から構成され、前記画素電極はその延在端が前記半導体層の上面に形成されることによって前記電極のうちの一方を構成していることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 基板上に、透明導電膜と金属層との順次積層体からなるゲート信号線を形成する工程と、前記ゲート信号線をも被って絶縁膜を形成する工程と、前記絶縁膜上に半導体層、高濃度層、導電層の順次積層体を形成する工程と、レジストリフロー方式を用いて、前記導電層および高濃度層を選択エッチングして薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線を形成するとともに、前記半導体層を選択エッチングする工程と、前記薄膜トランジスタのソース電極と一部が直接に重畳された透明導電膜からなる画素電極を形成する工程と、保護膜を形成し、この保護膜に画素電極を露出させるための孔開けをする工程と、からなることを特徴とする液晶表示装置の製造方法。

【請求項5】 レジストリフロー方式は、薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線の形成領域上にホトレジスト膜を形成する工程と、該ホトレジスト膜をマスクとしてエッチングをする工程と、

該ホトレジスト膜をだらして少なくともドレイン電極とソース電極との間にホトレジスト膜を存在させる工程と、だらしたホトレジスト膜をマスクとしてエッチングをする工程からなることを特徴とする請求項4に記載の液晶表示装置の製造方法。

【請求項6】 画素電極を形成する際に、ドレイン信号線のドレイン端子部の形成領域に透明導電膜を同時に皮膜することを特徴とする請求項4に記載の液晶表示装置の製造方法。

【請求項7】 保護膜の孔開けの際に、ゲート端子部およびドレイン端子部における孔開けを同時に行うことを特徴とする請求項4に記載の液晶表示装置の製造方法。

【請求項8】 基板上に、透明導電膜と金属層との順次積層体からなるゲート信号線を形成する工程と、前記ゲート信号線をも被って絶縁膜を形成する工程と、前記絶縁膜上に半導体層、高濃度層、導電層の順次積層体を形成する工程と、ハーフ露光方式を用いて、前記導電層および高濃度層を選択エッチングして薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線を形成するとともに、前記半導体層を選択エッチングする工程と、前記薄膜トランジスタのソース電極と一部が直接に重畳された透明導電膜からなる画素電極を形成する工程と、保護膜を形成し、この保護膜に画素電極を露出させるための孔開けをする工程と、からなることを特徴とする液晶表示装置の製造方法。

【請求項9】 ハーフ露光方式は、薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線の形成領域上に膜厚の厚いホトレジスト膜、および前記ドレイン電極とソース電極の間の領域上に膜厚の薄いホトレジスト膜を形成する工程と、該ホトレジスト膜をマスクとしてエッチングをする工程からなることを特徴とする請求項8に記載の液晶表示装置の製造方法。

【請求項10】 画素電極を形成する際に、ドレイン信号線のドレイン端子部の形成領域に透明導電膜を同時に皮膜することを特徴とする請求項8に記載の液晶表示装置の製造方法。

【請求項11】 保護膜の孔開けの際に、ゲート端子部およびドレイン端子部における孔開けを同時に行うことを特徴とする請求項8に記載の液晶表示装置の製造方法。

【請求項12】 基板上に、透明導電膜と金属層との順次積層体からなるゲート信号線を形成する工程と、前記ゲート信号線をも被って絶縁膜を形成する工程と、前記絶縁膜上に半導体層、高濃度層、導電層の順次積層体を形成する工程と、薄膜トランジスタのドレイン電極の形成領域、ソース電極の形成領域、これら各電極の間の領域、ドレイン信号線の形成領域の前記導電層、高濃度層、半導体層を残存させて選択エッチングする工程と、

画素電極を構成する透明導電膜を形成する工程と、薄膜トランジスタのドレイン電極の形成領域、ソース電極の形成領域、ドレイン信号線の形成領域、画素電極の形成領域の前記透明導電膜を残存させて選択エッチングする工程と、

残存された前記透明導電膜をマスクとしてドレイン電極とソース電極の間の前記導電層、高濃度層を選択エッチングする工程と、

保護膜を形成し、この保護膜に画素電極を露出させるための孔開けをする工程と、からなることを特徴とする液晶表示装置の製造方法。

【請求項13】 保護膜の孔開けの際に、ゲート端子部およびドレイン端子部における孔開けを同時に行うことを特徴とする請求項12に記載の液晶表示装置の製造方法。

【請求項14】 基板上に、透明導電膜とこの透明導電膜と一部重畳させて導電層を形成し、前記透明導電膜の単層によって対向電極および前記透明導電膜と導電層との積層体でゲート信号線と対向電圧信号線とを形成する工程と、

前記対向電極、対向電圧信号線、ゲート信号線をも被って絶縁膜を形成する工程と、

前記絶縁膜上に半導体層、高濃度層、導電層の順次積層体を形成する工程と、

レジストリフロー方式を用いて、前記導電層および高濃度層を選択エッチングして薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線を形成するとともに、前記半導体層を選択エッチングする工程と、

前記薄膜トランジスタのソース電極と一部が直接に重畳された透明導電膜からなる画素電極を形成する工程と、保護膜を形成し、この保護膜に画素電極を露出させるための孔開けをする工程と、からなることを特徴とする液晶表示装置の製造方法。

【請求項15】 レジストリフロー方式は、薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線の形成領域上にホトレジスト膜を形成する工程と、該ホトレジスト膜をマスクとしてエッチングをする工程と、該ホトレジスト膜をだらしで少なくともドレイン電極とソース電極との間にホトレジスト膜を存在させる工程と、だらしたホトレジスト膜をマスクとしてエッチングをする工程からなることを特徴とする請求項14に記載の液晶表示装置の製造方法。

【請求項16】 画素電極を形成する際に、ドレイン信号線のドレイン端子部の形成領域に透明導電膜を同時に皮膜することを特徴とする請求項14に記載の液晶表示装置の製造方法。

【請求項17】 保護膜の孔開けの際に、ゲート端子部およびドレイン端子部における孔開けを同時に行うことを特徴とする請求項14に記載の液晶表示装置の製造方法。

【請求項18】 基板上に、透明導電膜とこの透明導電膜と一部重畳させて導電層を形成し、前記透明導電膜の単層によって対向電極および前記透明導電膜と導電層との積層体でゲート信号線と対向電圧信号線とを形成する工程と、

前記対向電極、対向電圧信号線、ゲート信号線をも被って絶縁膜を形成する工程と、

前記絶縁膜上に半導体層、高濃度層、導電層の順次積層体を形成する工程と、

ハーフ露光方式を用いて、前記導電層および高濃度層を選択エッチングして薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線を形成するとともに、前記半導体層を選択エッチングする工程と、

前記薄膜トランジスタのソース電極と一部が直接に重畳された透明導電膜からなる画素電極を形成する工程と、保護膜を形成し、この保護膜に画素電極を露出させるための孔開けをする工程と、からなることを特徴とする液晶表示装置の製造方法。

【請求項19】 ハーフ露光方式は、薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線の形成領域上に膜厚の厚いホトレジスト膜、および前記ドレイン電極とソース電極の間の領域上に膜厚の薄いホトレジスト膜を形成する工程と、該ホトレジスト膜をマスクとしてエッチングをする工程からなることを特徴とする請求項18に記載の液晶表示装置の製造方法。

【請求項20】 画素電極を形成する際に、ドレイン信号線のドレイン端子部の形成領域に透明導電膜を同時に皮膜することを特徴とする請求項18に記載の液晶表示装置の製造方法。

【請求項21】 保護膜の孔開けの際に、ゲート端子部およびドレイン端子部における孔開けを同時に行うことを特徴とする請求項18に記載の液晶表示装置の製造方法。

【請求項22】 基板上に第1材料層と第2材料層の順次積層体を形成する工程と、

前記積層体の上面にホトレジスト膜を形成し、ハーフ露光を用いて第1領域に膜厚の大きなホトレジスト膜を第2領域に膜厚の小さなホトレジスト膜を形成する工程と、

前記ホトレジスト膜をマスクとして第2材料層をエッチングするとともに前記膜厚の小さなホトレジスト膜を消失させる工程と、

前記第2材料層をマスクとして第1材料層をエッチングする工程とからなり、

前記基板上の第1領域に第1材料層と第2材料層の順次積層体を形成し第2領域に第1材料層を形成することを特徴とする液晶表示装置の製造方法。

【請求項23】 液晶を介して対向配置される基板のうち一方の基板の液晶側の面であって、x方向に延在しy方向に並設されるゲート信号線とy方向に延在しx方向

に並設されるドレイン信号線とで囲まれる画素領域に、一方のゲート信号線からのゲート信号によって駆動されるスイッチング素子と、このスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を生じせしめる対向電極を備える液晶表示装置であって、前記一方の基板上に第1材料層と第2材料層の順次積層体を形成する工程と、前記積層体の上面にホトレジスト膜を形成し、ハーフ露光を用いてゲート信号線の形成領域に膜厚の大きなホトレジスト膜を対向電極の形成領域に膜厚の小さなホトレジスト膜を形成する工程と、前記ホトレジスト膜をマスクとして第2材料層をエッチングするとともに前記膜厚の小さなホトレジスト膜を消失させる工程と、前記第2材料層をマスクとして第1材料層をエッチングする工程とからなることを特徴とする液晶表示装置の製造方法。

【請求項24】 第1材料層はITO膜、第2材料層はMo層からなることを特徴とする請求項21あるいは23に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に、アクティブ・マトリクス方式の液晶表示装置に関する。

【0002】

【従来の技術】アクティブ・マトリクス方式の液晶表示装置は、液晶を介して対向配置される基板のうち一方の基板の液晶側の面に、x方向に延在しy方向に並設されるゲート信号線とy方向に延在しx方向に並設されるドレイン信号線とで囲まれる領域を画素領域としている。

【0003】そして、各画素領域には、一方のゲート信号線からの走査信号の供給によって駆動されるスイッチング素子と、このスイッチング素子を介して一方のドレイン信号線からの映像信号が供給される画素電極とが備えられている。

【0004】また、このような液晶表示装置としては、他方の基板の液晶側の面に各画素領域に共通な対向電極が形成され、前記画素電極との間に該基板とほぼ垂直な方向に電界を発生せしめ、この電界によって液晶の光透過率を制御させるいわゆる縦電界方式のものと、画素電極が形成された基板側に各画素領域毎に画素電極と隣接させて対向電極が形成され、これら電極の間に該基板とほぼ平行な方向に電界を発生せしめ、この電界によって液晶の光透過率を制御させるいわゆる横電界方式のものが知られている。

【0005】

【発明が解決しようとする課題】しかし、このような液晶表示装置は、近年のパネルの大型化にともない、ゲ-

ート信号線あるいはドレイン信号線の配線比抵抗を小さくすることが要求されてきている。

【0006】すなわち、これらの信号線の配線比抵抗を小さくすることにより、信号の遅延を抑制することができ、パネルの大型化を達成することができるようになる。

【0007】また、信号線の配線比抵抗を小さくできたとしても、製造のプロセスが増大することは避けなければならない。歩留まりが低下するからである。

【0008】また、この歩留まりの向上を考慮した場合、基板の液晶側の面にて導電層、半導体層および絶縁層を所定のパターンで積層させていく場合、それらの急峻な段差を極力滑らかにすることが要求される。該段差の部分で皮膜の乗り越え障害が発生するからである。

【0009】本発明は、このような事情に基づいてなされたものであり、その目的は信号線の配線比抵抗の小さい液晶表示装置を提供することにある。

【0010】また、本発明の他の目的は、基板の液晶側の面にて急峻な段差の少ない液晶表示装置を提供することにある。

【0011】また、本発明の他の目的は、製造工程の低減を図った液晶表示装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、ゲート信号線からの走査信号の供給によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極とを備え、前記ゲート信号線は前記基板面に形成されるたとえばITO膜とこのITO膜の上層に形成されるたとえばMo層の多層構造からなることを特徴とするものである。

【0014】このように構成された液晶表示装置は、比抵抗の小さいMo等を用いることによって、ゲート信号線の配線比抵抗を小さくしたものである。

【0015】この場合、Mo等の単層として形成する場合、基板との密着性が良好でないことから、たとえばITO膜等をその間に介在させている。

【0016】また、このような多層構造からなるゲート信号線は、それを選択エッチングで形成した場合に、その側壁が基板側に末広がりとなるなどらかなテーパ面が形成されるようになり、急峻な段差を減少させることができる。

【0017】また、本発明による液晶表示装置の製造方法は、たとえば、基板上に、透明導電膜と金属層との順次積層体からなるゲート信号線を形成する工程と、前記

ゲート信号線をも被って絶縁膜を形成する工程と、前記絶縁膜上に半導体層、高濃度層、導電層の順次積層体を形成する工程と、レジストリフロー方式を用いて、前記導電層および高濃度層を選択エッチングして薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線を形成するとともに、前記半導体層を選択エッチングする工程と、前記薄膜トランジスタのソース電極と一部が直接に重畳された透明導電膜からなる画素電極を形成する工程と、保護膜を形成し、この保護膜に画素電極を露出させるための孔開けをする工程と、からなることを特徴とするものである。

【0018】このように構成された液晶表示装置の製造方法は、半導体層の形成とドレイン電極およびソース電極の形成とをそれぞれのホット工程で行っていたが、レジストリフロー方式を用いることによって、1回のホット工程で済ませることができ、全体との製造プロセスを低減させることができる。

【0019】また、保護膜の孔開けの際にゲート端子部およびドレイン端子部の孔開けを同時に行うことにより製造プロセスの低減を図ることができる。

【0020】

【発明の実施の形態】以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0021】実施例1.

《等価回路》図54は本発明による液晶表示装置の一実施例を示す等価回路図である。同図は回路図であるが、実際の幾何学的配置に対応して描かれている。

【0022】同図において、透明基板SUB1があり、この透明基板SUB1は液晶を介して他の透明基板SUB2と対向して配置されている。

【0023】前記透明基板SUB1の液晶側の面には、図中x方向に延在しy方向に並設されるゲート信号線GLと、このゲート信号線GLと絶縁されてy方向に延在しx方向に並設されるドレイン信号線DLとが形成され、これら各信号線で囲まれる矩形領域が画素領域となり、これら各画素領域の集合によって表示部ARを構成するようになっている。

【0024】各画素領域には、一方のゲート信号線GLからの走査信号（電圧）の供給によって駆動される薄膜トランジスタTFTと、この薄膜トランジスタTFTを介して一方のドレイン信号線DLからの映像信号（電圧）が供給される画素電極PXが形成されている。

【0025】また、画素電極PXと前記一方のゲート信号線GLと隣接する他方のゲート信号線GLとの間には容量素子Caddが形成され、この容量素子Caddによって、前記薄膜トランジスタTFTがオフした際に、画素電極PXに供給された映像信号を長く蓄積させるようになっている。

【0026】各画素領域における画素電極PXは、液晶を介して対向配置される他方の透明基板SUB2の液晶

側の面にて各画素領域に共通に形成された対向電極CT（図示せず）との間に電界を発生せしめるようになっており、これにより各電極の間の液晶の光透過率を制御するようになっている。

【0027】各ゲート信号線GLの一端は透明基板の一边側（図中左側）に表示部ARを超えて延在され、その延在部（後にゲート端子部GTMと称す）は該透明基板SUB1に搭載される垂直走査回路（半導体集積回路）Vのバンプと接続されるようになっている。

【0028】また、各ドレイン信号線DLの一端も透明基板SUB1の一边側（図中上側）に表示部ARを超えて延在され、その延在部（後にドレイン端子部DTMと称す）は該透明基板SUB1に搭載される映像信号駆動回路（半導体集積回路）Heのバンプと接続されるようになっている。

【0029】前記透明基板SUB2は、透明基板SUB1のうち垂直走査回路Vおよび映像信号駆動回路Heが搭載される部分を回避した領域（表示部AR）に対向配置されている。

【0030】透明基板SUB1に対する透明基板SUB2の固定は、該透明基板SUB2の周辺に形成されたシール材SLによってなされ、このシール材SLは透明基板SUB1、SUB2の間の液晶を封止する機能も兼ねている。

《画素の構成》図1は透明基板SUB1の液晶側の画素（図54の点線枠Aに相当する）の構成、およびこの画素に走査信号および映像信号を供給するための端子部の構成を示している。なお、図1の2-2線における断面図を図2に、3-3線における断面図を図3に、4-4線における断面図を図4に、5-5線における断面図を図5に、6-6線における断面図を図6に示している。

【0031】透明基板SUB1の液晶側の面に、まず、図中x方向に延在されy方向に並設されるゲート信号線GLが形成されている。このゲート信号線GLは2層構造からなり、ITO（Indium-Tin-Oxide）膜を下層としモリブデン（Mo）膜を上層としている。

【0032】また、このゲート信号線GLはその一端（図中左側）が表示部AR外にまで延在され、その延在部において比較的面积が大きく形成されたゲート端子部GTMが形成されている。

【0033】ゲート信号線GLは後述のドレイン信号線DLとともに矩形領域を囲むようになっており、この領域を画素領域として構成するようになっている。

【0034】また、ゲート信号線GLはその一部において画素領域側に突出した延在部を有し、この延在部は後述の薄膜トランジスタTFTのゲート電極としての機能を有するようになっている。

【0035】さらに、ゲート信号線GLは他の部分において該画素領域と（-）y方向に隣接する他の画素領域側に突出した延在部を有し、この延在部は後述の容量素

子Caddの一方の電極（他方の電極は画素電極PX）としての機能を有するようになっている。

【0036】また、画素領域内には後述のドレイン信号DLに隣接しかつ並行して走行する遮光膜SKDが形成されている。この遮光膜SKDはゲート信号線GLと並行して形成されるもので、ITO膜を下層としMo膜を上層とする2層構造となっている。

【0037】この遮光膜SKDは後述する透明基板SUB2側のブラックマトリクスBMとともに画素電極PXの周辺（特に図中y方向に平行な辺）における液晶の配向の乱れを信頼性よく遮光できるようになっている。

【0038】このようにゲート信号線GLおよび遮光膜SKDが形成された透明基板SUB1の表面には絶縁膜GI（図2ないし図6参照）が形成されている。この絶縁膜GIは後述のドレイン信号線DLに対してはゲート信号線GLとの層間絶縁膜としての機能を、後述の薄膜トランジスタTFTに対してはそのゲート絶縁膜としての機能を、後述の容量素子Caddに対してはその誘電体膜としての機能を有する。

【0039】この絶縁膜GIの上面には、前記ゲート信号線GLの画素領域側への突出部を横切るようにしてたとえばアモルファスSi（a-Si）からなる半導体層ASが形成されている。

【0040】この半導体層ASは薄膜トランジスタTFTの半導体層となるもので、この上面にドレイン電極SD1およびソース電極SD2を形成することにより、前記ゲート信号線GLの突出部をゲート電極とする逆スタガ構造のMIS型トランジスタが構成される。

【0041】なお、この半導体層ASは該薄膜トランジスタTFTの形成領域ばかりではなく後述するドレイン信号線DLの形成領域にまで及んで一体的に形成されている。ドレイン信号線DLのゲート信号線GLに対する層間絶縁をより強化する等のためである。

【0042】半導体層AS上のドレイン電極SD1およびソース電極SD2はドレイン信号線DLの形成と同時に形成されるようになっている。

【0043】すなわち、前記絶縁膜GIの上面には図中y方向に延在しx方向に並設されるドレイン信号線DL（その下層には半導体層ASが存在する）が形成され、その一部が薄膜トランジスタTFTの半導体層ASの上面にまで延在されてドレイン電極SD1が形成されている。

【0044】なお、このドレイン信号線DLはその一端（図中上側）が表示部AR外にまで延在され、その延在部には比較的面积が大きく形成されたドレイン端子部DTMが形成されている。

【0045】また、このドレイン電極SD1に対して薄膜トランジスタTFTのチャネル長に相当する間隔だけ離間されてソース電極SD2が形成されている。

【0046】このソース電極SD2は薄膜トランジスタ

TFTの半導体層AS上から画素領域側へ延在して形成され、この延在部は後述の画素電極PXとの接続部として形成される。

【0047】ここで、ドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2はたとえばモリブデン（Mo）によって構成されている。

【0048】なお、前記半導体層ASの表面のうちドレイン電極SD1およびソース電極SD2が形成された界面には、不純物がドーパされた高濃度層d₀が形成されている（図2参照）。この場合の高濃度層d₀は薄膜トランジスタTFTのコンタクト層としての機能を有する。

【0049】これにともない、ドレイン信号線DLの下層に形成される半導体層ASの界面においても高濃度層d₀が形成されている（図4参照）。

【0050】そして、画素領域内の絶縁膜GI上にはその僅かな周辺を除く中央部にたとえばITO（Indium-Tin-Oxide）膜からなる画素電極PXが形成されている。

【0051】この画素電極PXは、その薄膜トランジスタTFT側の辺において、該薄膜トランジスタTFTの形成領域を回避してソース電極SD2の延在部に接続されるように重ねられて形成されている。

【0052】また、この画素電極PXは、ドレイン信号線DLに近接する側の辺において、該辺の輪郭が前記遮光膜SKDの中心軸（ほぼ中心軸）に重ねられて形成されている。

【0053】この遮光膜SKDは、主として、ドレイン信号線DLと画素電極PXとの間に生じる電界による光漏れ、および画素電極PXの周辺の該ドレイン信号線DLからの電界による液晶の配向乱れを遮光するようになっている。

【0054】さらに、この画素電極PXは、前記薄膜トランジスタTFTを駆動させるゲート信号線GLと該画素電極PXを間にして隣接する他のゲート信号線GL（図中上側のゲート信号線GL）に若干重ねられて形成されている。

【0055】前記他のゲート信号線GLは上述のように画素領域側に突出する延在部が形成されており、画素電極PXは前記絶縁膜GIを介してこの他のゲート信号線GLと比較的大きな面積を有して重畳されることになる。

【0056】画素電極PXと他のゲート信号線GLとの重畳部は前記絶縁膜GIを誘電体膜とする容量素子Caddが形成され、この容量素子Caddによって、たとえば薄膜トランジスタTFTがオフした場合でも画素電極PXに供給された映像信号は比較的に長い時間蓄積される等の効果を奏する。

【0057】このように形成された透明基板SUB1の表面にはたとえばSiNからなる保護膜PSVが形成されている。

【0058】この保護膜PSVは薄膜トランジスタTFTの液晶との直接の接触を回避させるため等に設けられ、前記画素電極PXの形成領域に開孔が形成されている。

【0059】換言すれば、保護膜PSVは前記画素電極PXの少なくとも周辺を除く中央部を露出させて形成されている(図2参照)。これにより画素領域中光が透過する部分において該保護膜PSVが存在していないことから、光の該保護膜PSVによる吸収を回避することができる。

【0060】このように形成された透明基板SUB1の表面にはその表示部ARの全域を被って配向膜ORIが形成され(図4)、この配向膜ORIに直接に接触する液晶LCの初期配向方向を決定するようになっている。

【0061】透明基板SUB2の液晶LC側の面は、図4に示すように、各画素領域を隣接する他の画素領域と画するようにしてブラックマトリクスBMが形成され、このブラックマトリクスBMの各画素領域に形成され、開口部には各画素に対応した色のカラーフィルタFILが形成されている。

【0062】そして、このように形成された透明基板SUB2の表面にはその表示部ARの全域を被って配向膜ORIが形成され、この配向膜ORIに直接に接触する液晶LCの初期配向方向を決定するようになっている。《ゲート信号線GL》ゲート信号線GLは、たとえば図2あるいは図3に示すように、2層構造からなり、その下層はITO(Indium-Tin-Oxide)膜g1で構成され上層はMo層g2で構成されている。

【0063】ゲート信号線GLは、近年における液晶表示パネルの大型化の傾向から、その比抵抗を小さくすることが望まれ、その主要材料としてMo層g2が選定されている。しかし、それを単層で用いることは下地基板である透明基板SUB1との密着性が良好でないためにITO膜g1を介在層として用いている。

【0064】2層構造からなるゲート信号線GLは、各層のエッチングレートを考慮した選択エッチング(後述する)を行うことにより、その側壁に透明基板SUB1側に末広がり状となるテーパ面を形成でき、ドレイン信号線DLのゲート信号線GLのいわゆる乗り越え断線を回避でき、また、保護膜PSVのいわゆる乗り越え障害を回避できる。

【0065】また、ゲート信号線GLのゲート端子部GTMの形成の際に、保護膜PSVおよび絶縁膜GIをドライエッチングしてコンタクトホールを形成する場合に、前記Mo層g2との選択性がとれない不都合があるが、前記ITO膜g1がいわゆるストッパーとして残存しゲート端子部GTMを信頼性よく形成できる。

【0066】図7(a)ないし(c)は、前記ゲート信号線GLの形成方法の一実施例を示す工程図である。

【0067】まず、図7(a)に示すように、透明基板

SUB1の主表面にITO膜g1を形成し、さらに、その上面にMo層g2を形成する。そして、Mo層g2の表面にホトレジスト膜PRESを形成し、このホトレジスト膜PRESに図示しないホトマスクを用いて選択露光をする。その後、ホトレジスト膜PRESを現像することにより、ゲート信号線GLの形成領域に該ホトレジスト膜PRESを残存させる。

【0068】次に、ホトレジスト膜PRESをマスクとして、このマスクから露出したMo層g2を選択エッチングする。この際のエッチング液としては、たとえば磷酸と硝酸を含む混酸、または硝酸セリウムと硝酸の混合液が選定される。このようにした場合、残存するMo層g2の側面には透明基板SUB1側に末広がりになるなだらかなテーパ面が形成される。

【0069】さらに、前記ホトレジスト膜PRESをそのままマスクとして、このマスクから露出したITO膜g1を選択エッチングする。この際のエッチング液としては、たとえば王水(塩酸と硝酸との混合液)が選定される。このようにした場合、残存するITO層g1の側面にも透明基板SUB1側に末広がりになるなだらかなテーパ面が形成される。

【0070】その後は、前記ホトレジスト膜PRESを除去することにより、透明基板SUB1上にゲート信号線GLが形成される。このゲート信号線GLはその側壁が透明基板SUB1側に末広がりになるなだらかなテーパ面を有するものとなり、その後の工程における積層体に対して段切れ等の障害を十分に回避できるようになる。

《ドレイン信号線DL》ドレイン信号線DLの断面は図4にて明瞭に示されている。このドレイン信号線DLは後述するレジストリフロー方式によって形成される薄膜トランジスタTFTと並行して形成され、a-Siからなる半導体層AS、その表面に形成された高濃度層d₀、Mo層d₁の順次積層体から構成されている。

【0071】このため、同図に示すように、ドレイン信号線DLの側壁において透明基板SUB1側に末広がり状となるテーパが形成されるようになるが、このテーパ面の途中において、詳しくは高濃度層d₀の下層の半導体層ASの部分において段差が形成されるようになる。

【0072】したがって、保護膜PSVおよび配向膜ORI等に対するドレイン信号線DLのいわゆる乗り越え障害を信頼性よく回避することができる。

【0073】この場合の乗り越え障害としては、ドレイン信号線DLの側壁の近傍において保護膜PSVに亀裂等が発生し、この亀裂を通して該ドレイン信号線DLの材料がイオン化されて液晶に溶出し液晶の比抵抗を変化させてしまう等の不都合を生じさせる。

《薄膜トランジスタTFT》図2は薄膜トランジスタTFTの断面を示す図である。この薄膜トランジスタTFTは後に詳述するいわゆるレジストリフロー方式を用い

て形成したものである。

【0074】薄膜トランジスタTFTのゲート電極の一部となるゲート信号線GLはその側壁が透明基板SUB1側に末広がり状となるテーパ状となっているため、その部分に積層される絶縁膜GI、ドレイン電極SD1、およびソース電極SD2に段差による障害を回避できるようにになっている。

【0075】薄膜トランジスタTFTのソース電極SD2に電気的に接続される画素電極PXは該ソース電極PXに直接積層されて形成されている。このため、薄膜トランジスタTFTの液晶LCに対する直接の接触を防止する保護膜PSVは該画素電極PXの上層に形成された構成となっている。

【0076】すなわち、画素電極PXは保護膜PSVの下層として位置づけられ、これにより薄膜トランジスタTFTのソース電極SD2と画素電極PXとの電気的接続に対して保護膜PSVへのコンタクトホール形成を回避させている。

【0077】また、レジストリフロー方式からなる薄膜トランジスタTFTは、その半導体層AS、高濃度層 d_0 、ドレイン電極SD1あるいはソース電極SD2の順次積層体の側壁において、透明基板SUB1側に末広がり状となるテーパが形成されるようになるが、このテーパ面の途中において、詳しくは高濃度層 d_0 の下層の半導体層ASの部分において段差が形成されるようになる。

【0078】このため、保護膜PSVおよび配向膜ORI等に対するドレイン信号線DLのいわゆる乗り越え障害を信頼性よく回避することができる。

【0079】特に、画素電極PXは、段差乗り越えに比較的障害を起こしやすい材料で構成され、しかも、前記積層体を乗り越えその上層のソース電極SD2に重ね合わされて形成しなければならない構成となっているのに対し、該積層体の側壁のテーパ面に段差が形成されていることは画素電極の段差乗り越え障害を十分に回避できる構成となる。

【0080】図8(a)ないし(f)は前記薄膜トランジスタTFTの形成方法の一実施例を示した工程図である。

【0081】まず、図8(a)に示すように、ゲート信号線GL、ゲート絶縁膜GIの形成の後、このゲート絶縁膜GIの表面に半導体層AS、この半導体層ASの表面に高濃度層 d_0 を形成し、さらにMo層 d_0 を形成する。この場合、半導体層AS、高濃度層 d_0 、Mo層 d_0 は同一のチャンバーで連続して成膜する。

【0082】図8(b)に示すように、Mo層 d_0 の表面にホトレジスト膜PRESを形成し、ホトマスクを用いた選択露光を経て、ドレイン信号線DL、ドレイン電極SD1、およびソース電極の形成領域に相当する部分の前記ホトレジスト膜PRESを残存させる。

【0083】図8(c)に示すように、ホトレジスト膜PRESをマスクとして、このマスクから露出されたMo層 d_1 を選択エッチングし(たとえば磷酸と硝酸を含む混酸、または硝酸セリウムと硝酸の混合液が選定される)、さらに高濃度層 d_0 をドライエッチングする。この場合、半導体層ASの表面が若干削れるようになる。

【0084】なお、高濃度層 d_0 のエッチングはこのような方法に限定されることなく、たとえばMo層 d_1 の選択エッチング後に、このMo層 d_1 をマスクとしてエッチングするようにしてもよい。

【0085】図8(d)に示すように、ホトレジスト膜PRESをリフローさせる。これによりホトレジスト膜PRESはその周辺がだれ、そのだれた部分もマスクとして機能するようになる。ホトレジスト膜PRESのリフローとしては、たとえばベーキング、有機溶剤雰囲気中での溶解、あるいは水に浸漬等の方法がある。

【0086】ここで、ホトレジスト膜PRESのだれはドレイン電極SD1とソース電極SD2との間(チャネル領域)が完全に被われることが必要となる。このため、図8(b)においては、この部分のホトレジスト膜PRESのパターン幅はできるだけ狭くするようにしておくことが必要となる。

【0087】さらに、このホトレジスト膜PRESをマスクとしてこのマスクから露出された半導体層ASを選択エッチングする。

【0088】そして、該ホトレジスト膜PRESを除去する。このホトレジスト膜PRESは、そのリフローの際にベーキングを行った場合剥がれ難くなることから、アッシングを行った後にいわゆるMEA剥離を行うとよい。

【0089】図8(e)に示すように、ITO膜ITO1を形成し、画素電極PXの形成領域(およびドレイン端子部DYM)に相当する部分にホトレジスト膜PRESを形成する。このホトレジスト膜PRESをマスクとし、このマスクから露出されたITO膜ITO1を除去する。その後、該ホトレジスト膜PRESを除去する。

【0090】図8(f)に示すように、保護膜PSVを形成し、画素領域の周辺部(薄膜トランジスタTFTの形成領域を含む)を除く中央部に開口がなされたホトレジスト膜PRESを形成する。

【0091】このホトレジスト膜PRESをマスクとし、このマスクから露出された保護膜PSVを除去する。なお、この保護膜PSVの孔開けの際は、ゲート端子部GTMおよびドレイン端子部DTMにおける孔開けも同時に行う。その後、該ホトレジスト膜PRESを除去する。

《容量素子Cadd》容量素子Caddの断面は図3に示されている。ゲート信号線GLの一部の上層に絶縁膜GIを介して画素電極PXの一部が重畳されて形成さ

れ、その誘電体膜は前記絶縁膜G Iとなっている。

【0092】上述したように、画素電極P Xは保護膜P S Vの下層に位置づけて形成しているため、容量素子C a d dの誘電体膜は該保護膜P S Vと絶縁膜G Iの2層構造とはならず該絶縁膜G Iのみとなる。

【0093】このため容量素子C a d dの容量値は絶縁膜G Iの膜厚とゲート信号線G Lと画素電極との重畳面積によって設定でき、その設定が容易にできるようになる。

【0094】誘電体膜が絶縁膜G Iのみであることによって、その表面にはゲート信号線G Lの段差が顕在され易いが、ゲート信号線G Lはその下層がI T O膜g 1で上層がM o層g 2の2層構造で、その側壁においてなだらかなテーパが形成されていることから、該ゲート信号線G Lに画素電極P Xの一部を重畳させる場合において該画素電極P Xの段差乗り越えによる障害を十分に回避させることができる。

《ブラックマトリクスBM》ブラックマトリクスBMの断面は図4に示されている。この図では、ブラックマトリクスBMはドレイン信号線D Lを被うようにして形成されていることしか示されていないが、ゲート信号線G Lおよび薄膜トランジスタT F Tをも被うようにして形成されている。

【0095】これにより、コントラストの向上、および薄膜トランジスタT F Tの外来光の照射による特性変化の回避を図っている。

【0096】ドレイン信号線D Lの両脇にはゲート信号線G Lと同時に形成される遮光膜S K Dが形成されており、該ドレイン信号線D Lを被うブラックマトリクスB Mはその幅方向の両端がそれぞれ前記遮光膜S K D上に位置づけられるようにして形成されている。

《ゲート端子部G T M》ゲート端子部G T Mの断面は図5に示されている。ゲート端子部G T Mはゲート信号線G Lの延在端を保護膜P S Vおよび絶縁膜G Iの順次孔開け（ドライエッチングによる選択エッチング）によって露出させることによって形成される。この孔開けは、画素領域における保護膜P S Vの孔開けと同時に終わる。

【0097】同図から明らかなように、下層をI T O膜g 1、上層をM o層g 2として形成されるゲート信号線G Lはそのゲート端子部G T Mにおいて上層のM o層g 2が除去された状態で形成されている。保護膜P S Vおよび絶縁膜G Iのドライエッチングによる孔開けの際に、選択比のとれないM o層g 2がエッチングされてしまうからである。

【0098】しかし、下層のI T O膜g 1は該エッチングのストッパーとしての機能を有して残存し、このI T O膜g 1によって十分にゲート端子部G T Mとしての機能を有するようになる。しかも、このI T O膜g 1は酸化され難い材料からなるので、たとえば電食に対して信

頼性のあるゲート端子部G T Mを形成することができる。

《ドレイン端子部D T M》ドレイン端子部D T Mの断面は図6に示している。ドレイン端子部D T Mはドレイン信号線D Lの延在端を保護膜P S Vの孔開け（選択エッチング）によって露出させることによって形成される。この孔開けは、画素領域における保護膜P S Vの孔開けと同時に終わる。

【0099】ここで、ドレイン端子部D T Mにおけるドレイン信号線D L上にはI T O膜I T O 1が被覆されて形成されている。このI T O膜I T O 1は画素電極P Xを形成する際に同時に形成されるもので、ドレイン端子部D T Mにて電食が生じるのを回避するために形成される。

【0100】上述したように、ドレイン信号線D Lはレジストリフロー方式で形成される薄膜トランジスタT F Tと並行して形成されることから、半導体層A S、高濃度層d₀、M o層d₁の順次積層体で形成され、その側壁はなだらかなテーパ形状となっている。

【0101】このため、ドレイン端子部D T Mにおいて該ドレイン信号線D L上にてI T O膜I T O 1を被覆させる場合、このI T O膜I T O 1の段切れ等の不都合を解消できるようになる。

《製造方法》図9 (a)ないし(h)は、上述した液晶表示装置の製造方法の一実施例を示す工程図である。

【0102】同図は、図8の工程図に、さらにゲート端子部G T Nの部分の工程図をも併せ描いた図となっている。

【0103】図9 (a)は図8 (a)に対応し、図9 (b)は図8 (d)に対応し、図9 (e)は図8 (e)に対応し、図9 (g)は図8 (f)に対応している。

【0104】一連の工程は図10の表に示すようになっており、この表から判るように、ホト工程は、ゲート信号線G Lのパターニング、ドレイン信号線D L（ドレイン電極、ソース電極）のパターニング、画素電極P Xのパターニング、保護膜P S Vのパターニングの4回で済むようになる。

【0105】実施例2. 上述した実施例1は薄膜トランジスタT F Tをレジストリフロー方式を用いて形成した液晶表示装置を示したものである。しかし、いわゆるハーフ露光方式を用いて薄膜トランジスタT F Tを形成する液晶表示装置にも適用できる。

【0106】以下に示す構成以外は実施例1の場合と同様である。

《薄膜トランジスタT F T》図11はいわゆるハーフ露光方式を用いて形成された薄膜トランジスタT F Tの断面を示す図である。

【0107】この薄膜トランジスタT F Tは、半導体層A S、高濃度層d₀、M o層d₁の順次積層体における側壁が透明基板S U B 1側へ末広がり状となるなだらかな

テーパ面が形成されるようになる。

【0108】図15(a)ないし(e)は前記薄膜トランジスタTFTの形成方法の一実施例を示した工程図である。

【0109】まず、図8(a)に示すように、ゲート信号線GL、ゲート絶縁膜GIの形成の後、このゲート絶縁膜GIの表面に半導体層AS、この半導体層ASの表面に高濃度層 d_0 を形成し、さらにMo層 d_1 を形成する。この場合、半導体層AS、高濃度層 d_0 、Mo層 d_1 は同一のチャンバーで連続して成膜する。

【0110】図8(b)に示すように、Mo層 d_0 の表面にホトレジスト膜PRESを形成し、ホトマスクを用いた選択露光を行う。この場合のホトマスクとしては、格子構造のマスク、あるいはMoSiのような半透過型膜の膜厚を制御して製作されたマスクを用い、ドレイン信号線DL、ドレイン電極SD1、ソース電極の形成領域、およびドレイン電極SD1とソース電極の間の領域(チャネル部)に相当する部分の前記ホトレジスト膜PRESを残存させるようにする。この場合、チャネル部上のホトレジスト膜PRESの膜厚はそれ以外の領域上のホトレジスト膜PRESの膜厚よりも小さくなるようにする。

【0111】すなわち、チャネル部において、ホトレジスト、Mo層 d_1 、高濃度層 d_0 のエッチング終了時間が、Mo層 d_1 、高濃度層 d_0 、半導体層ASのエッチング終了時間と同一(ほぼ同一)になるようにレジスト条件を制御する。

【0112】図8(c)に示すように、ホトレジスト膜PRESをマスクとして、このマスクから露出されたMo層 d_1 を選択エッチングし(たとえば磷酸と硝酸を含む混酸、または硝酸セリウムと硝酸の混合液が選定される)、さらに高濃度層 d_0 、半導体層ASをドライエッチングする。この際、チャネル部はMo層 d_1 、高濃度層 d_0 、さらには半導体層ASにもエッチングがなされるがその表面が若干削るまでに止まる。

【0113】なお、高濃度層 d_0 のエッチングはこのような方法に限定されることはなく、たとえばMo層 d_1 の選択エッチング後に、このMo層 d_1 をマスクとしてエッチングするようにしてもよい。

【0114】その後、前記ホトレジスト膜PRESを除去する。

【0115】図8(d)に示すように、ITO膜ITO1を形成し、画素電極PXの形成領域(およびドレイン端子部DTM)に相当する部分にホトレジスト膜PRESを形成する。このホトレジスト膜PRESをマスクとし、このマスクから露出されたITO膜ITO1を除去する。その後、該ホトレジスト膜PRESを除去する。

【0116】図8(e)に示すように、保護膜PSVを形成し、画素領域の周辺部(薄膜トランジスタTFTの形成領域を含む)を除く中央部に開口がなされたホトレ

ジスト膜PRESを形成する。

【0117】このホトレジスト膜PRESをマスクとし、このマスクから露出された保護膜PSVを除去する。なお、この保護膜PSVの孔開けの際は、ゲート端子部GTMおよびドレイン端子部DTMにおける孔開けも同時に行う。その後、該ホトレジスト膜PRESを除去する。

《ドレイン信号線DL》ドレイン信号線DLの断面は図12に示している。ドレイン信号線DLは半導体層AS、高濃度層 d_0 、Mo層 d_1 の順次積層体から構成され、ハーフ露光方式で形成する前記薄膜トランジスタTFTの形成と並行して形成することから、その側壁は透明基板SUB1側へ末広がり状となるなだらかなテーパ面が形成されるようになる。

《ゲート端子部GTM》ゲート端子部GTMの断面は図13に示している。このゲート端子部GTMは実施例1と同様に構成される。

《ドレイン端子部DTM》ドレイン端子部DTMの断面は図14に示している。ドレイン信号線DLは半導体層AS、高濃度層 d_0 、Mo層 d_1 の順次積層体から構成され、その側壁は透明基板SUB1側へ末広がり状となるなだらかなテーパ面が形成されるようになる。

【0118】そして、ドレイン信号線DLは、そのドレイン端子部DTMにおいてITO膜ITO1がその側壁にまで及んで形成されている。このITO膜ITO1は画素電極PXの形成の際に同時に形成される。電食を防止するためである。

【0119】ドレイン端子部DTMは保護膜PSVを孔開けし、前記ITO膜ITO1を露出させることによって形成できる。

《製造方法》図16(a)ないし(g)は、上述した液晶表示装置の製造方法の一実施例を示す工程図である。

【0120】同図は、図15の工程図に、さらにゲート端子部GTMの部分の工程図をも併せ描いた図となっている。

【0121】図16(a)は図15(b)に対応し、図16(c)は図15(c)に対応し、図16(d)は図15(d)に対応し、図9(f)は図15(e)に対応している。

【0122】一連の工程は図17の表に示すようになっており、この表から判るように、ホト工程は、ゲート信号線GLのパターニング、ドレイン信号線DL(ドレイン電極、ソース電極)のパターニング、画素電極PXのパターニング、保護膜PSVのパターニングの4回で済むようになる。

【0123】実施例3. また、本発明による液晶表示装置は、その薄膜トランジスタTFTをいわゆるITOマスク方式を用いて形成した場合にも適用できる。

【0124】以下に示す構成以外は実施例1の場合と同様である。

《薄膜トランジスタTFT》図18はITOマスク方式を用いて形成した薄膜トランジスタTFTの断面を示す図である。

【0125】この薄膜トランジスタTFTは、そのソース電極SD2の表面の全域にわたって画素電極PXのITO膜ITO1が直接に重畳されているばかりでなく、ドレイン信号線DL（およびドレイン電極SD1）の表面にもITO膜ITO1が直接に重畳されている。

【0126】また、他の実施例と同様、半導体層AS、高濃度層 d_0 、Mo層 d_1 の順次積層体の側壁は透明基板SUB1側へ未広がりとなるなだらかなテーパ面が形成されている。

【0127】図22(a)ないし(g)は前記薄膜トランジスタTFTの形成方法の一実施例を示した工程図である。

【0128】まず、図22(a)に示すように、ゲート信号線GL、ゲート絶縁膜GIの形成の後、このゲート絶縁膜GIの表面に半導体層AS、高濃度層 d_0 を形成し、さらにMo層 d_1 を形成する。この場合、半導体層AS、高濃度層 d_0 、Mo層 d_1 は同一のチャンバーで連続して成膜する。

【0129】図22(b)に示すように、Mo層 d_1 の表面にホトレジスト膜PRESを形成し、ホトムスクを用いた選択露光を経て、ドレイン信号線DL、ドレイン電極SD1、ソース電極SD2の形成領域、およびこれら各電極の間の領域（チャンネル部）に相当する部分の前記ホトレジスト膜PRESを残存させる。

【0130】そして、このホトレジスト膜PRESをマスクとして、このマスクから露出されたMo層 d_1 、高濃度層 d_0 、半導体層ASを順次選択エッチングする。その後、該ホトレジスト膜PRESを除去する。

【0131】図22(c)に示すように、ITO膜ITOを形成し、このITO膜ITOの上面にホトレジスト膜PRESを形成し、ドレイン信号線DL、ドレイン電極SD1、画素電極PXの形成領域に相当する部分の前記ホトレジスト膜PRESを残存させる。

【0132】図8(d)に示すように、前記ホトレジスト膜PRESをマスクとし、このマスクから露出されたITO膜を選択エッチングする。その後、ホトレジスト膜PRESを除去する。

【0133】図8(e)に示すように、前記ITO膜ITOをマスクとし、このマスクから露出されたMo層 d_1 を選択エッチングし、さらに高濃度層 d_0 をも選択エッチングし、半導体層ASの表面を露出させる。

【0134】図8(f)に示すように、保護膜PSVを形成し、画素領域の周辺部（薄膜トランジスタTFTの形成領域を含む）を除く中央部に開口がなされたホトレジスト膜PRESを形成する。

【0135】このホトレジスト膜PRESをマスクとし、このマスクから露出された保護膜PSVを除去す

る。なお、この保護膜PSVの孔開けの際は、ゲート端子部GTMおよびドレイン端子部DTMにおける孔開けも同時に行う。その後、図8(g)に示すように、該ホトレジスト膜PRESを除去する。

《ドレイン信号線DL》ドレイン信号線DLの断面は図19に示されている。このドレイン信号線DLは半導体層AS、高濃度層 d_0 、Mo層 d_1 、ITO層ITO1の順次積層体から構成されている。

《ゲート端子部》ゲート端子部GTMの断面は図20に示されている。このゲート端子部GTMは実施例1および2におけるゲート端子部GTMと同様の構成となっている。

《ドレイン端子部》ドレイン端子部DTMの断面は図21に示されている。このドレイン端子部DTMは、ドレイン信号線DLが上述した積層体から構成されているため、保護膜PSVの開口の表面においてITO膜ITO1が露出され、電食に対して信頼性ある構成となる。

《製造方法》図23(a)ないし(g)は、上述した液晶表示装置の製造方法の一実施例を示す工程図である。

【0136】同図は、図22の工程図に、さらにゲート端子部GTNの部分の工程図をも併せ描いた図となっている。

【0137】図23(a)は図22(b)に対応し、図23(c)は図22(c)に対応し、図23(d)は図22(d)に対応し、図23(e)は図22(e)に対応し、図23(f)は図22(f)に対応し、図23(g)は図22(g)に対応している。

【0138】一連の工程は図24の表に示すようになっており、この表から判るように、ホト工程は、ゲート信号線GLのパターニング、画素電極PX（ドレイン信号線DL）のパターニング、ドレイン電極およびソース電極のパターニング、保護膜PSVのパターニングの4回で済むようになる。

【0139】実施例4. 上述した各実施例は、透明基板SUB1側の各画素領域にそれぞれ画素電極が形成され透明基板SUB2側の各画素領域に共通の対向電極が形成され、これら各電極の間に発生する該各基板に対してほぼ垂直の電界によって液晶の光透過率を制御させるいわゆる縦電界方式の液晶表示装置について説明したものである。

【0140】しかし、このような横電界方式の液晶表示装置に限定されることなく、透明基板SUB1の各画素領域に画素電極と対向電極とが形成され、これら各電極の間に発生する該透明基板SUB1とほぼ平行な電界成分によって液晶の光透過率を制御させるいわゆる横電界方式の液晶表示装置についても適用することができる。

【0141】図25はこのような横電界方式の液晶表示装置の画素の構成を示す平面図で、図1と対応した図となっている。なお、図25において26-26線におけ

る断面を図26に、27-27線における断面を図27に示している。

【0142】図1の構成と比較して異なる構成は次のとおりである。

【0143】図25において、まず、画素電極PXおよび対向電極CTがそれぞれドレイン信号線DLと平行に延在されたストライプ形状をなす複数本からなり、それらが交互に配置されて形成されている。

【0144】この実施例では、画素電極PXが2本、対向電極CTが3本からなり、それらが交互に配置される結果、各対向電極CTのうち2本が両脇に、換言すればドレイン信号線DLに隣接されて形成されるようになっている。

【0145】この両脇に配置される対向電極CTはドレイン信号線DLからの電界が画素電極PXに影響させないようにシールド機能をもたせており、他の電極よりも幅が広く形成されている。

【0146】また、対向電極CTはゲート信号線GLと同時に形成され、該ゲート信号線GLと同材料で形成されている。したがって、2層構造からなり、その下層はITO膜で上層はMo層で形成されている。

【0147】3本の各対向電極CTは、画素領域の中央にゲート信号線GLと平行に形成される対向電圧信号線CTと一体的に形成されることによって共通接続され、この対向電圧信号線CLを介して対向電圧信号が供給される。したがって、この対向電圧信号線CLも2層構造からなり、その下層はITO膜で上層はMo層で形成されている。

【0148】この対向電圧信号線CLは図中x方向に並設される画素群に共通に形成され、図中y方向に配設される各画素群の他の対向電圧信号線CLと共通接続され、表示部外にまで延在された共通接続線に形成されたコモン端子部CTMから対向電圧信号が供給される。

【0149】画素電極PXは対向電極CT（対向電圧信号線CL）に対して絶縁膜GIを介して異なる層として形成されている。

【0150】2本の各画素電極PXは対向電圧信号線CL上に互いに接続されたパターンとして形成され、この接続部において該対向電圧信号線CLとの間に前記絶縁膜GIを誘電体とする容量素子Cstgが形成されている。

【0151】2本の各画素電極のうち薄膜トランジスタTFTに近接する画素電極PXはその端部が該薄膜トランジスタTFTの半導体層ASの上面にまで延在されて該薄膜トランジスタTFTのソース電極を構成している。

【0152】そして、この薄膜トランジスタTFTはたとえば実施例1で示したレジストリフロー方式によって形成されたものとなっている。

《容量素子Cstg》図26は容量素子Cstgの断面

を示す図である。対向電圧信号線CLの一部の上層に絶縁膜GIを介して画素電極PXの一部が重畳されて構成され、その誘電体膜は前記絶縁膜GIとなっている。

【0153】画素電極PXは保護膜PSVの下層に位置づけて形成しているため、容量素子Cstgの誘電体膜は該保護膜PSVと絶縁膜GIの2層構造とはならず該絶縁膜GIのみとなる。

【0154】このため容量素子Cstgの容量値は絶縁膜GIの膜厚と対向電圧信号線CLと画素電極PXとの重畳面積によって設定でき、その設定が容易にできるようになる。

《対向電極CT》対向電極CTの断面は図27に示されている。

【0155】2層構造からなる対向電極CTは、各層のエッチングレートを考慮した選択エッチングによって、その側壁に透明基板SUB1側に末広がり状となるテーパー面を形成できる。これにより、絶縁膜GIの乗り越え部におけるクラック等の障害を回避でき、画素電極PXとの間の電界の分布等を安定化できる。

《ドレイン信号線DL》ドレイン信号線DLの断面は図27に示されている。

【0156】ドレイン信号線DLはレジストリフロー方式からなる薄膜トランジスタTFTと並行して形成され、半導体層AS、高濃度層d₀、Mo層d₁の順次積層体から構成され、その側壁において、透明基板SUB1側に末広がり状となるテーパーが形成されるようになり、しかも、このテーパー面の途中において、詳しくは高濃度層d₀の下層の半導体層ASの部分において段差が形成されるようになる。なお、薄膜トランジスタTFTの形成にはレジストリフロー方式に代えて上述のハーフ露光を行ってもよい。

【0157】このため、このドレイン信号線DLの上層に形成される保護膜PSVおよび配向膜ORIの乗り越え障害を十分に回避することができる。

《ゲート端子部GTM、コモン端子部CTM》実施例1に示したゲート端子部GTM（図5）と同様の構成となっている。また、コモン端子部CTMにおいても、その対向電圧信号線CLがゲート信号線GLと同層でかつ同材料からなる2層構造であることから該ゲート端子部GTMと同様の構成となっている。

《ドレイン端子部DTM》実施例1に示したドレイン端子部DTM（図6）と同様の構成となっている。

《薄膜トランジスタTFT》実施例1に示した薄膜トランジスタTFT（図2）と同様の構成となっている。

【0158】実施例5. 図28は横電界方式の液晶表示装置の画素の他の実施例を示す平面図である。

【0159】同図は画素電極PXおよび対向電極CTとともにたとえばITO膜等のような透明導電層で形成するとともにたとえば対向電極CTは画素電極PXと重ねられて画素領域のほぼ全域に形成されている。

【0160】すなわち、対向電極CTは透明基板SUB 1面に画素領域の僅かな周辺を除く中央部の全域に形成されている。

【0161】この対向電極CTには、画素領域の中央にて図中x方向に走行して形成される対向電圧信号線CLを介して対向電圧信号が供給されるようになっている。

【0162】この対向電圧信号線CLは対向電極CT上に直接形成されるもので、ゲート信号線GLの形成の際に同時に形成されるようになっている。このため、対向電圧信号線CLは2層構造となっており、その下層はITO膜で上層はMo層で構成されている。

【0163】また、画素電極PXは、対向電極CT（対向電圧信号線CL）を被う絶縁膜GI上に形成され、たとえばドレイン信号線DLと平行に延在されたストライプ状のパターンをなし、該ドレイン信号線DLと直交する方向に並設された複数の電極からなる。

【0164】これら各画素電極PXは薄膜トランジスタTFT側の端部にて共通接続されるとともに、薄膜トランジスタTFTの半導体層AS面にまで延在されて該薄膜トランジスタTFTのソース電極SD2を構成する。

【0165】この薄膜トランジスタTFTは、実施例1と同様にレジスタリフロー方式によって形成されている。

《対向電圧信号線CL》対向電圧信号線CLの断面は図30に示されている。

【0166】2層構造からなる対向電圧信号線CLは、各層のエッチングレートを考慮した選択エッチングによって、その側壁に透明基板SUB 1側に末広がり状となるテーパ面を形成できる。これにより、絶縁膜GIの乗り越え障害を回避できる。

【0167】また、対向電圧信号線CLは、ITO膜からなる対向電極CTの上面に形成され、その下層はITO膜で構成されていることから、該対向電極CTとの密着性を確保することができる。

《ドレイン信号線DL》ドレイン信号線DLの断面は図29に示されている。ドレイン信号線DLはレジストリフロー方式からなる薄膜トランジスタTFTと並行して形成され、半導体層AS、高濃度層d₀、Mo層d₁の順次積層体から構成され、その側壁において、透明基板SUB 1側に末広がり状となるテーパが形成されるようになり、しかも、このテーパ面の途中において、詳しくは高濃度層d₀の下層の半導体層ASの部分において段差が形成されるようになる。なお、薄膜トランジスタTFTの形成にはレジストリフロー方式に代えて上述のハーフ露光を用いてもよい。

【0168】このため、このドレイン信号線DLの上層に形成される保護膜PSVおよび配向膜ORIの乗り越え障害を十分に回避することができる。

《ゲート端子部GTM、コモン端子部CTM》実施例1に示したゲート端子部GTM（図5）と同様の構成とな

っている。

《ドレイン端子部DTM》実施例1に示したドレイン端子部DTM（図6）と同様の構成となっている。

《薄膜トランジスタTFT》実施例1に示した薄膜トランジスタTFT（図2）と同様の構成となっている。

【0169】実施例6．図31は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図25と対応した図となっている。

【0170】図31は、ハーフ露光方式を経て形成された画素の構成を示す。ここで、ゲート信号線GLは上述した実施例と同様にITO膜とMo層との2層構造となっているがこの構成は図示されていない。

《容量素子Cstg》容量素子Cstgの断面は図32に示されている。

【0171】容量素子Cstgは対向電圧信号線CLの上面に絶縁膜GIを介して画素電極をPXを重畳させて構成されている。

【0172】対向電圧信号線CLはゲート信号線GLと同様に下層がITO膜g1で上層がMo層g2の2層構造からなり、画素電極PXは半導体層AS、高濃度層d₀、Mo層d₁、ITO膜ITO1の順次積層体からなっている。

《画素電極PX》画素電極PXの断面は図33において明確に示されている。

【0173】上述したように、画素電極PXは半導体層AS、高濃度層d₀、Mo層d₁、ITO膜の順次積層体からなっている。

【0174】この場合、画素電極PXによる段差の不都合が考えられるが、その側壁は透明基板SUB 1側に末広がりとなるなだらかなテーパ面が形成されることから、この上面に形成される保護膜PSVおよび配向膜ORIの乗り越え障害を充分緩和させることができる。

《ドレイン信号線DL》ドレイン信号線DLの断面は図33に示されている。

【0175】ドレイン信号線DLも、画素電極PXと同様に、半導体層AS、高濃度層d₀、Mo層d₁、ITO膜の順次積層体からなっている。

【0176】このため、ドレイン信号線DLによる段差の不都合が考えられるが、その側壁は透明基板SUB 1側に末広がりとなるなだらかなテーパ面が形成されることから、この上面に形成される保護膜PSVおよび配向膜ORIの乗り越え障害を充分緩和させることができる。

《ゲート端子部GTM》ゲート端子部GTMの断面は図35に示されている。

【0177】ゲート端子部GTMはゲート信号線GLの延在端を保護膜PSVおよび絶縁膜GIの順次孔開け（ドライエッチングによる選択エッチング）によって露出させることによって形成される。

【0178】同図から明らかなように、下層をITO膜

g1、上層をM_o層g2として形成されるゲート信号線GLはそのゲート端子部GTMにおいて上層のM_o層が除去された状態で形成されている。保護膜PSVおよび絶縁膜GIのドライエッチングによる孔開けの際に、選択比のとれないM_o層がエッチングされてしまうからである。

【0179】しかし、下層のITO膜g1は該エッチングのストッパーとしての機能を有して残存し、このITO膜g1によって十分にゲート端子部GTMとしての機能を有するようになる。しかも、このITO膜g1は酸化され難い材料からなるので、たとえば電食に対して信頼性のあるゲート端子部を構成することができる。

《ドレイン端子部DTM》ドレイン端子部DTMの断面は図36に示されている。

【0180】ドレイン信号線DLは半導体層AS、高濃度層d₀、M_o層d₁、ITO膜ITO1の順次積層体から構成されているため、保護膜PSVに孔開けを行うことによりドレイン端子部DTMが形成される。

【0181】保護膜PSVの孔開けによってドレイン信号線DLの表面のITO膜が露出されるので、電食防止のためのITO膜形成を特に行う必要はなくなる。

《薄膜トランジスタTFT》この実施例では、薄膜トランジスタTFTはハーフ露光方式で形成されたものとなっている。

【0182】図37(a)ないし(f)は前記薄膜トランジスタTFTの形成方法の一実施例を示した工程図である。

【0183】まず、図37(a)に示すように、ゲート信号線GL、ゲート絶縁膜GIの形成の後、このゲート絶縁膜GIの表面に半導体層AS、この半導体層ASの表面に高濃度層d₀、M_o層d₁を形成し、さらにITO膜ITO1を形成する。この場合、半導体層AS、高濃度層d₀、M_o層d₁、ITO膜ITO1は同一のチャンバーで連続して成膜する。

【0184】図37(b)に示すように、ITO膜の表面にホトレジスト膜PRESを形成し、ホトマスクを用いた選択露光を行う。この場合のホトマスクとしては、格子構造のマスク、あるいはM_oSiのような半透過型膜の膜厚を制御して製作されたマスクを用い、ドレイン信号線DL、ドレイン電極SD1、およびソース電極の形成領域、これら各電極の間の領域(チャネル部)に相当する部分の前記ホトレジスト膜PRESを残存させるようにする。この場合、チャネル部上のホトレジスト膜PRESの膜厚はそれ以外の領域上のホトレジスト膜PRESの膜厚よりも小さくなるようにする。

【0185】すなわち、チャネル部において、ホトレジスト、M_o層d₁、高濃度層d₀のエッチング終了時間が、M_o層d₁、高濃度層d₀、半導体層ASのエッチング終了時間と同一(ほぼ同一)になるようにレジスト条件を制御する。

【0186】図37(c)に示すように、ホトレジスト膜PRESをマスクとして、このマスクから露出されたITO層、M_o層d₁、高濃度層d₀、半導体層ASを選択エッチングする(たとえば半導体層AS及び高濃度層d₀の選択エッチング用ガスとしてSF₆、CF₄等のフッ素系ガスが選定される)。

【0187】これにより、薄膜トランジスタTFTを構成する半導体層ASは島状にエッチングされることになるが、そのチャネル部は少なくとも高濃度層d₀をエッチングするに止まる。その後前記ホトレジスト膜PRESを除去する。

【0188】図37(d)に示すように、保護膜PSVを形成する。

【0189】図37(e)に示すように、保護膜PSVの表面に画素領域の周辺部(薄膜トランジスタTFTの形成領域を含む)を除く中央部に開口がなされたホトレジスト膜PRESを形成する。

【0190】図37(f)に示すように、このホトレジスト膜PRESをマスクとし、このマスクから露出された保護膜PSVを除去する。なお、この保護膜PSVの孔開けの際は、ゲート端子部GTMおよびドレイン端子部DTMにおける孔開けも同時に行う。その後、該ホトレジスト膜PRESを除去する。

《製造方法》図38(a)ないし(e)は、上述した液晶表示装置の製造方法の一実施例を示す工程図である。

【0191】同図は、図37の工程図に、さらにゲート端子部GTNの部分の工程図をも併せ描いた図となっている。

【0192】図38(a)は図37(b)に対応し、図38(c)は図37(c)に対応し、図38(d)は図37(e)に対応し、図38(e)は図37(f)に対応している。

【0193】一連の工程は図39の表に示すようになっており、この表から判るように、ホト工程は、ゲート信号線GLのパターニング、ドレイン信号線DL(ドレイン電極、ソース電極)のパターニング、保護膜PSVのパターニングの3回で済むようになる。

【0194】実施例7. 図40は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図28と対応した図となっている。すなわち、たとえばITO膜からなる対向電極CTが画素領域の大部分に形成され、たとえばITO膜からなるストライプ状の画素電極PXが複数並設されている。この実施例の場合、対向電極CTと画素電極PXとの間に介在される絶縁膜は絶縁膜GIと保護膜PSVの2層構造となっている。そして、薄膜トランジスタTFTはレジストリフロー方式によって形成されている。

【0195】なお、図40の41-41線の断面図を図41に、42-42線の断面図を図42に、44-44線の断面図を図44に、45-45線の断面図を図45

に示している。

《ドレイン信号線DL》ドレイン信号線DLは図41に示されている。ドレイン信号線DLは絶縁膜GI上に形成され、半導体層AS、高濃度層 d_0 、Mo層 d_1 の順次積層体で構成されている。

【0196】そして、レジストリフロー方式で形成される薄膜トランジスタTFTと並行して形成されるため、ドレイン信号線DLの側壁はその半導体層AS面に段差を有するなだらかなテーパ面（透明基板SUB1側へ未広がる）が形成されている。

《ゲート信号線GL》ゲート信号線GLの断面は図42に示されている。ゲート信号線GLは透明基板SUB1上に形成され、ITO膜g1とMo膜g2の順次2層膜から構成されている。その側壁は透明基板SUB1側へ未広がりとなるなだらかなテーパ面が形成されている。

《対向電圧信号線CL》対向電圧信号線CLの断面は図42に示されている。対向電圧信号線CLはゲート信号線GLと同様にITO膜g1とMo膜g2の順次2層膜から構成されているが、このうちITO膜g1はMo膜g2に対して幅広に形成され対向電極CTの機能をもたせるようにしている。

【0197】このように、対向電極CTは1層構造となっているにも拘らず、対向電圧信号線CLは該対向電極CTを構成する層の上にさらに別の材料の層が形成された2層構造となっているが、この対向電圧信号線CLと対向電極CTとの形成はハーフ露光方式の採用によって1回のホット工程で形成することができる。

【0198】図43(a)ないし(d)は、このような場合の工程を示す図である。

【0199】まず、図43(a)に示すように、透明基板SUB1の表面にたとえばITO膜g1とMo層g2の順次積層体が形成されている。

【0200】そして、この積層体の表面に選択的にホットレジスト膜PRESが形成されているが、図43(b)に示すように、これらは異なる領域においてそれぞれ厚さが異なっている。このように厚さの異なるホットレジスト膜の形成は格子構造のホットマスク、あるいはMoSi等のような半透過型膜の膜厚を制御して製作されたホットマスクを用い、いわゆるハーフ露光をすることによって達成できる。

【0201】その後、図43(c)に示すように、該ホットレジスト膜PRESをマスクとしてエッチングすることにより、上層のMo膜g2を選択エッチングできる。この場合、膜厚の大きなホットレジスト膜はその膜厚を小さくなって残存するが、膜厚の小さなホットレジスト膜は消失するようになる。

【0202】そして、図43(d)に示すように、残存されたホットレジスト膜PRESをマスクとしてエッチングすることにより、下層のITO膜g1を選択エッチングできる。この場合、ホットレジスト膜が消失された側の

Mo層g2はこの際にエッチングされることになる。

《ゲート端子部GTM》ゲート端子部GTMの断面は図44に示されている。ゲート信号線GLを被う絶縁膜GI、保護膜PSVに孔開けをすることによってゲート端子部GTMが形成される。

【0203】この場合、該孔開けによってゲート信号線GLの上層のMo膜g2が除去され、さらに該孔およびその周辺に形成されたITO膜によってゲート端子部GTMの電食回避をさらに効果的ならしめている。

【0204】なお、前記ITO膜は画素電極PXの形成と同時に形成されるようになっている。

《ドレイン端子部DTM》ドレイン端子部DTMの断面は図45に示されている。ドレイン信号線DLを被う保護膜PSVに孔開けをすることによってドレイン端子部GTMが形成される。

【0205】この場合、該孔およびその周辺に形成されたITO膜によってゲート端子部GTMの電食回避をはかっている。

【0206】このITO膜も画素電極PXの形成と同時に形成されるようになっている。

《製造方法》図46(a)ないし(d)、図47(e)ないし(h)、図48(i)は前記液晶表示装置の製造方法の一実施例を示す工程図で、薄膜トランジスタTFTと対向電極CTの部分を示している。

【0207】まず、図46(a)に示すように、ゲート信号線GL、ゲート絶縁膜GIの形成の後、このゲート絶縁膜GIの表面に半導体層AS、高濃度層 d_0 、Mo層 d_1 を形成しする。この場合、半導体層AS、高濃度層 d_0 、Mo層 d_0 は同一のチャンバーで連続して成膜する。

【0208】図46(b)に示すように、ITO膜の表面にホットレジスト膜PRESを形成し、ホットマスクを用いた選択露光を行う。この場合のホットマスクとしては、格子構造のマスク、あるいはMoSiのような半透過型膜の膜厚を制御して製作されたマスクを用い、ドレイン信号線DL、ドレイン電極SD1、およびソース電極の形成領域、これら各電極の間の領域（チャネル部）に相当する部分の前記ホットレジスト膜PRESを残存させるようにする。この場合、前記チャネル部上のホットレジスト膜PRESの膜厚はそれ以外の領域上のホットレジスト膜PRESの膜厚よりも小さくなるようにする。

【0209】すなわち、チャネル部において、ホットレジスト、Mo層 d_1 、高濃度層 d_0 のエッチング終了時間が、Mo層 d_1 、高濃度層 d_0 、半導体層ASのエッチング終了時間と同一（ほぼ同一）になるようにレジスト条件を制御する。

【0210】図46(c)に示すように、ホットレジスト膜PRESをマスクとして、このマスクから露出されたMo層 d_1 、高濃度層 d_0 、半導体層ASを選択エッチングする（たとえば半導体層AS及び高濃度層 d_0 の選択

エッチング用ガスとして SF_6 、 CF_4 等のフッ素系ガスが選定される)。

【0211】これにより、薄膜トランジスタTFTを構成する領域以外の領域において半導体層ASが露出され、ホトレジスト膜PRESはその全域にわたって膜厚が小さくなる。そして、チャネル部においては該ホトレジスト膜PRESからMo層 d_1 が露出するようになる。

【0212】図46(d)に示すように、残存されたホトレジスト膜PRESをマスクとしてエッチングする。

【0213】これにより、薄膜トランジスタTFTを構成する領域以外の領域において半導体層ASがエッチングされ絶縁膜GIが露出するようになる。

【0214】また、チャネル部においてMo層 d_1 、高濃度層 d_0 がエッチングされ半導体層ASが露出するようになる。

【0215】図47(e)に示すように、保護膜PSVを形成する。

【0216】図47(f)に示すように、保護膜PSVの上面に薄膜トランジスタTFTのソース電極SD2のコンタクトホール形成部分に孔開けがされたホトレジスト膜PRESを形成する。そして、このホトレジスト膜PRESをマスクとして保護膜PSVをエッチングする。なお、この保護膜PSVの孔開けの際に、ゲート端子部GTMおよびドレイン端子部DTMにおける孔開けも同時に行う。その後該ホトレジスト膜PRESを除去する。

【0217】図47(g)に示すように、保護膜PSVにコンタクトホールが形成され、このコンタクトホールからは薄膜トランジスタTFTのソース電極SD2の一部が露出される。

【0218】図47(h)に示すように、保護膜PSV上にITO膜を形成し、このITO膜上に画素電極PXおよび薄膜トランジスタTFTのソース電極SD2と接続される画素電極PXの延在部を形成する領域上にホトレジスト膜PRESを形成する。

【0219】図48(i)に示すように、前記ホトレジスト膜PRESをマスクとしてITO膜をエッチングし、その後、該ホトレジスト膜PRESを除去する。

【0220】実施例8. 図49は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図40と対応した図となっている。

【0221】図40の場合と異なる部分はレジストリフロー方式を採用しているとともに、保護膜PSVにコンタクト孔が形成されていない構造となっている。

【0222】なお、図49の50-50の断面を図50に、51-51の断面を図51に示している。

《ドレイン信号線DL》ドレイン信号線DLの断面は図50に示されている。このドレイン信号線DLは半導体層AS、高濃度層 d_0 、Mo層 d_1 、ITO層ITO1の

順次積層体から構成されている。ここで、ITO層ITO1は積層体の側壁にまで及んで形成され、換言すれば、ドレイン信号線DL全体を覆うようにして形成されている。

《ゲート信号線GL》ゲート信号線GLの断面は図51に示されている。ゲート信号線GLは透明基板SUB1上に形成され、ITO膜 g_1 とMo膜 g_2 の順次2層膜から構成されている。その側壁は透明基板SUB1側へ未広がりとなるなだらかなテーパ面が形成されている。

《対向電圧信号線CL》対向電圧信号線CLの断面は図51に示されている。対向電圧信号線CLはゲート信号線GLと同様にITO膜 g_1 とMo膜 g_2 の順次2層膜から構成されているが、このうちITO膜 g_1 はMo膜 g_2 に対して幅広に形成され対向電極CTの機能をもたせるようにしている。

《ドレイン端子部DTM》ドレイン端子部DTMの断面は図52に示されている。ドレイン信号線DLは半導体層AS、高濃度層 d_0 、Mo層 d_1 、ITO層ITO1の順次積層体からなり、該ITO膜ITO1は積層体の側壁にまで及んで形成されている。

【0223】このドレイン信号線DLを被う保護膜PSVに孔開けをし、前記ITO膜の表面を露出させることによってドレイン端子部DTMが形成されている。

《製造方法》図53(a)ないし(d)は前記液晶表示装置の製造方法の一実施例を示す工程図で、薄膜トランジスタTFTと対向電極CTの部分を示している。

【0224】まず、図53(a)に示すように、透明基板SUB1の表面に、ゲート信号線GL、対向電極CT、対向電圧信号線CLを形成した後、これらを被ってゲート絶縁膜GIを形成する。

【0225】絶縁膜GIの上面に半導体層AS、高濃度層 d_0 、Mo層 d_1 の順次積層させ、上述したレジストリフロー方式により薄膜トランジスタTFTおよびドレイン信号線DLを形成する。

【0226】このように形成された透明基板SUB1の表面の全域にITO膜ITO1を形成し、その表面に画素電極PXの形成領域に相当する部分にホトレジスト膜PRESを形成する。

【0227】次に、このホトレジスト膜PRESをマスクとしてITO膜ITO1をエッチングし、図53(b)に示すように画素電極PXを形成する。

【0228】図53(c)に示すように、保護膜PSVを形成する。

【0229】そして、図53(d)に示すように、図示しないホト工程を経ることによって保護膜PSVに孔開けを行い、画素領域の周辺を除く中央部に保護膜PSVが形成されていない構成とする。

【0230】なお、この保護膜PSVの孔開けの際は、ゲート端子部GTMおよびドレイン端子部DTMの部分の孔開けを同時に行う。

【0231】なお、上述の実施例では、ドレイン信号線DL、ドレイン電極SD1、ソース電極SD2を構成する導電層d₁をモリブデン(Mo)で形成したが、この材料に代えて他の高融点金属、たとえばタングステン(W)、クロム(Cr)、チタン(Ti)、タンタル(Ta)であっても同様の効果を奏する。

【0232】また、上述した各ITO膜に代えてたとえばIZO(Indium-Zinc-Oxide)膜を用いてもよい。

【0233】

【発明の効果】以上説明したことから明かなように、本発明による液晶表示装置によれば、信号線の配線比抵抗の小さいものが得られる。

【0234】また、本発明による液晶表示装置によれば、基板の液晶側の面に急峻な段差の少ないものが得られる。

【0235】また、本発明による液晶表示装置の製造方法によれば、その工程の低減を図ることができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図2】図1の2-2線における断面図である。

【図3】図1の3-3線における断面図である。

【図4】図1の4-4線における断面図である。

【図5】図1の5-5線における断面図である。

【図6】図1の6-6線における断面図である。

【図7】図1に示すゲート信号線の製造方法の一実施例を示す工程図である。

【図8】図1に示す薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図9】図1に示す液晶表示装置の製造方法の一実施例を示す工程図である。

【図10】図1に示す液晶表示装置の製造方法の一実施例を示す表である。

【図11】本発明による液晶表示装置の他の実施例を示す図で、その薄膜トランジスタの断面を示す図である。

【図12】本発明による液晶表示装置の他の実施例を示す図で、そのドレイン信号線およびその近傍の断面を示す図である。

【図13】本発明による液晶表示装置の他の実施例を示す図で、そのゲート端子部の断面を示す図である。

【図14】本発明による液晶表示装置の他の実施例を示す図で、そのドレイン端子部の断面を示す図である。

【図15】本発明による液晶表示装置の他の実施例を示す図で、その薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図16】本発明による液晶表示装置の製造方法の一実施例を示す工程図である。

【図17】本発明による液晶表示装置の製造方法の一実施例を示す表である。

【図18】本発明による液晶表示装置の他の実施例を示

す図で、その薄膜トランジスタの断面を示す図である。

【図19】本発明による液晶表示装置の他の実施例を示す図で、そのドレイン信号線およびその近傍の断面を示す図である。

【図20】本発明による液晶表示装置の他の実施例を示す図で、そのゲート端子部の断面を示す図である。

【図21】本発明による液晶表示装置の他の実施例を示す図で、そのドレイン端子部の断面を示す図である。

【図22】本発明による液晶表示装置の他の実施例を示す図で、その薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図23】本発明による液晶表示装置の製造方法の一実施例を示す工程図である。

【図24】本発明による液晶表示装置の製造方法の一実施例を示す表である。

【図25】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図26】図25の26-26線における断面図である。

【図27】図25の27-27線における断面図である。

【図28】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図29】図25の29-29線における断面図である。

【図30】図25の30-30線における断面図である。

【図31】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図32】図25の32-32線における断面図である。

【図33】図25の33-33線における断面図である。

【図34】図25の34-34線における断面図である。

【図35】図25に示す液晶表示装置のゲート端子部の一実施例を示す断面図である。

【図36】図25に示す液晶表示装置のドレイン端子部の一実施例を示す断面図である。

【図37】図25に示す液晶表示装置の薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図38】図25に示す液晶表示装置の一実施例を示す工程図である。

【図39】図25に示す液晶表示装置の一実施例を示す表である。

【図40】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図41】図40の41-41線における断面図である。

【図42】図40の42-42線における断面図であ

る。

【図43】ハーフ露光方式を示す説明図である。

【図44】図40の44-44線における断面図である。

【図45】図40の45-45線における断面図である。

【図46】図40に示す薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図47】図40に示す薄膜トランジスタの製造方法の一実施例を示す工程図で、図46に続く図である。

【図48】図40に示す薄膜トランジスタの製造方法の一実施例を示す工程図で、図47に続く図である。

【図49】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図50】図49の50-50線における断面図である。

【図51】図49の51-51線における断面図である。

【図52】図49に示すドレイン端子部の断面図である。

【図53】図49に示す薄膜トランジスタの製造方法の一実施例を示す工程図である。

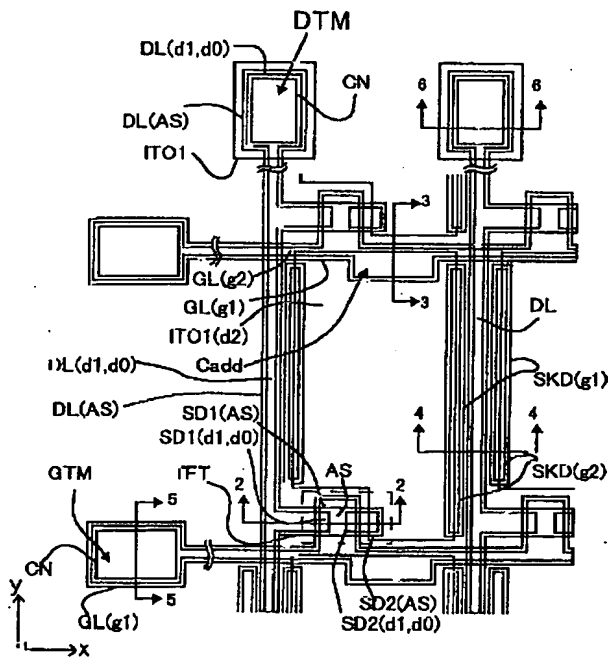
【図54】本発明による液晶表示装置の等価回路の一実施例を示す図である。

【符号の説明】

SUB…透明基板、GL…ゲート信号線、DL…ドレイン信号線、TFT…薄膜トランジスタ、Cadd、Cstg…容量素子、PX…画素電極、CT…対向電極、CL…対向電圧信号線、ITO…ITO膜、AS…半導体層、d₀…高濃度層、d₀…Mo層、BM…ブラックマトリクス、GI…絶縁層、SKD…遮光膜、PSV…保護膜、ORI…配向膜。

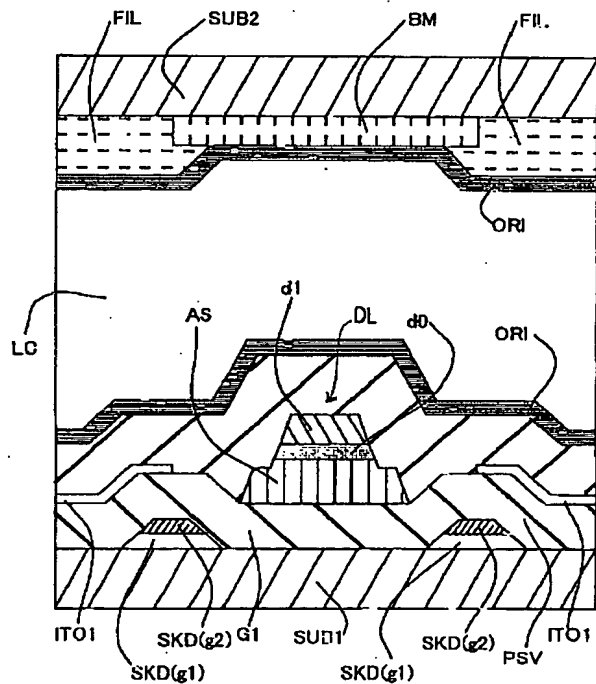
【図1】

図1



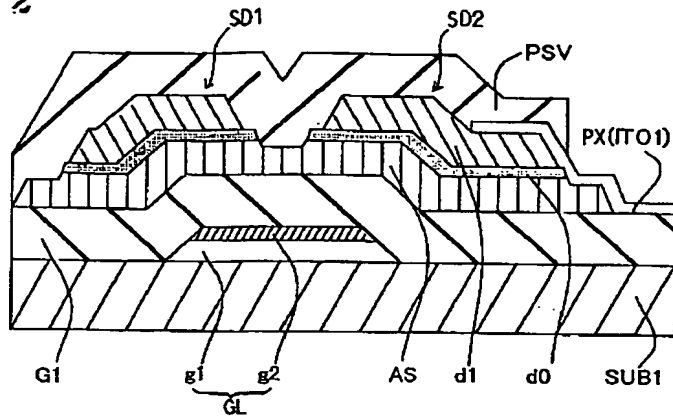
【図4】

図4

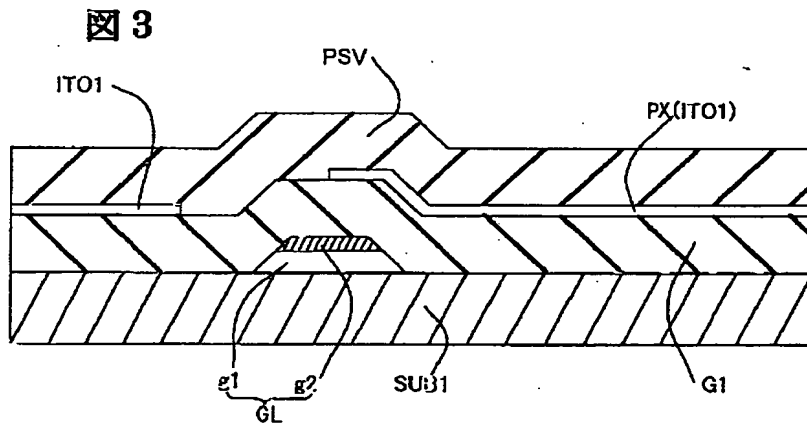


【図2】

図2

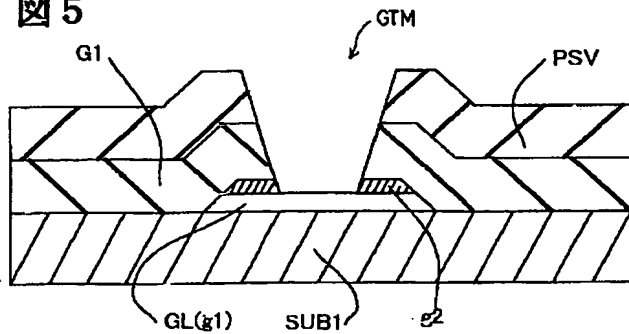


【図3】



【図5】

図5



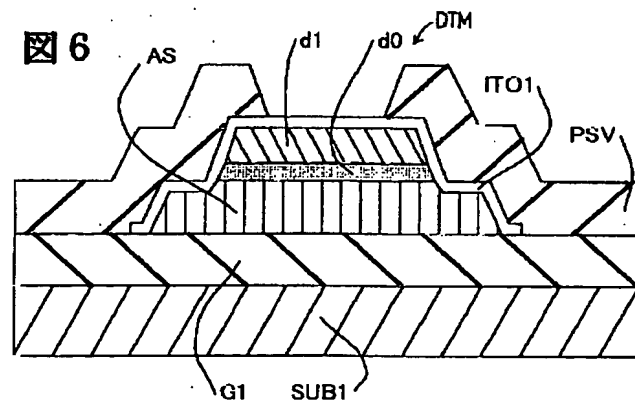
【図10】

図10

1	ゲートMo/ITO成膜
2	フォトリソ① ゲートパターンニング
3	レジスト剥離
4	CVD3層+SDメタル連続成膜
5	フォトリソ② SD金属とn+を加工
6	レジストリフロー
7	a-Si層を加工
8	レジストを剥離
9	画素ITO成膜
10	フォトリソ③ 画素ITO加工
11	レジストを剥離
12	PAS成膜
13	フォトリソ④ 画素出し
14	レジストを剥離

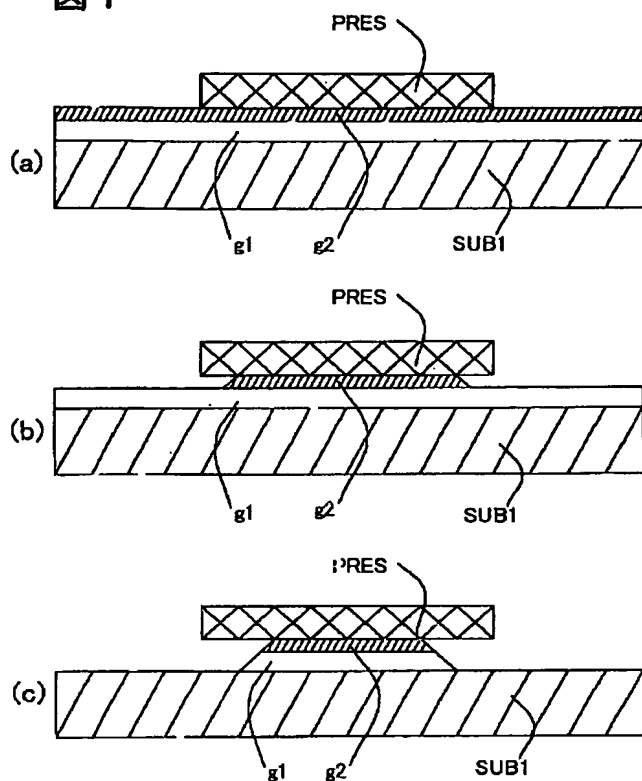
【図6】

図6



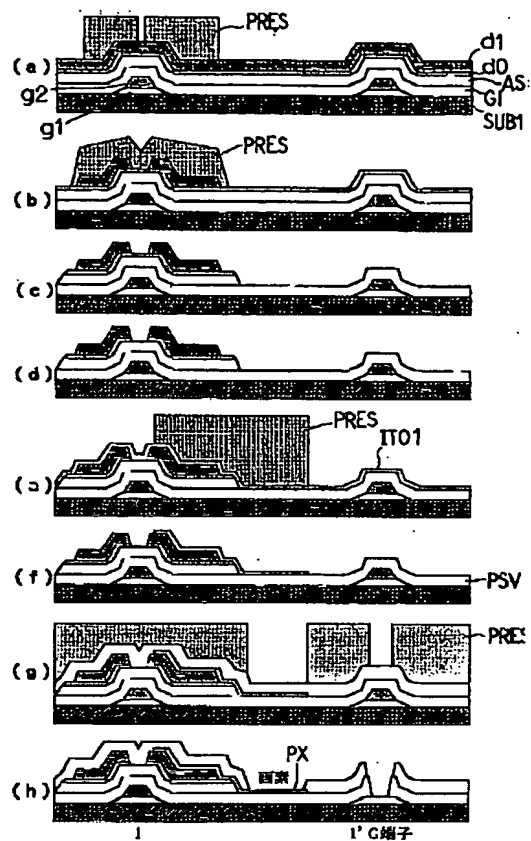
【図7】

図7



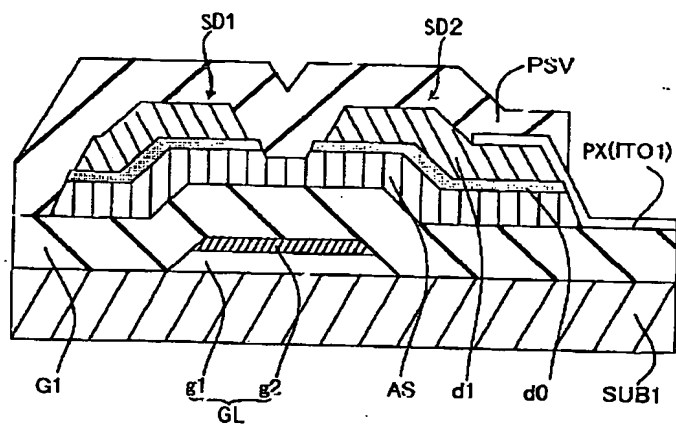
【図9】

図9



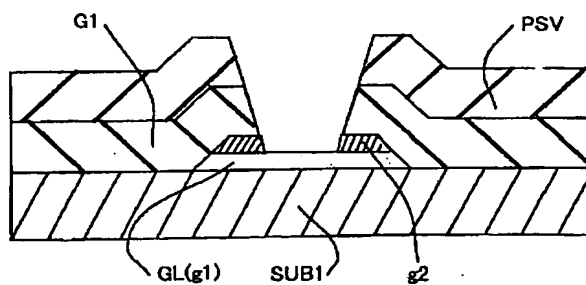
【図11】

図11



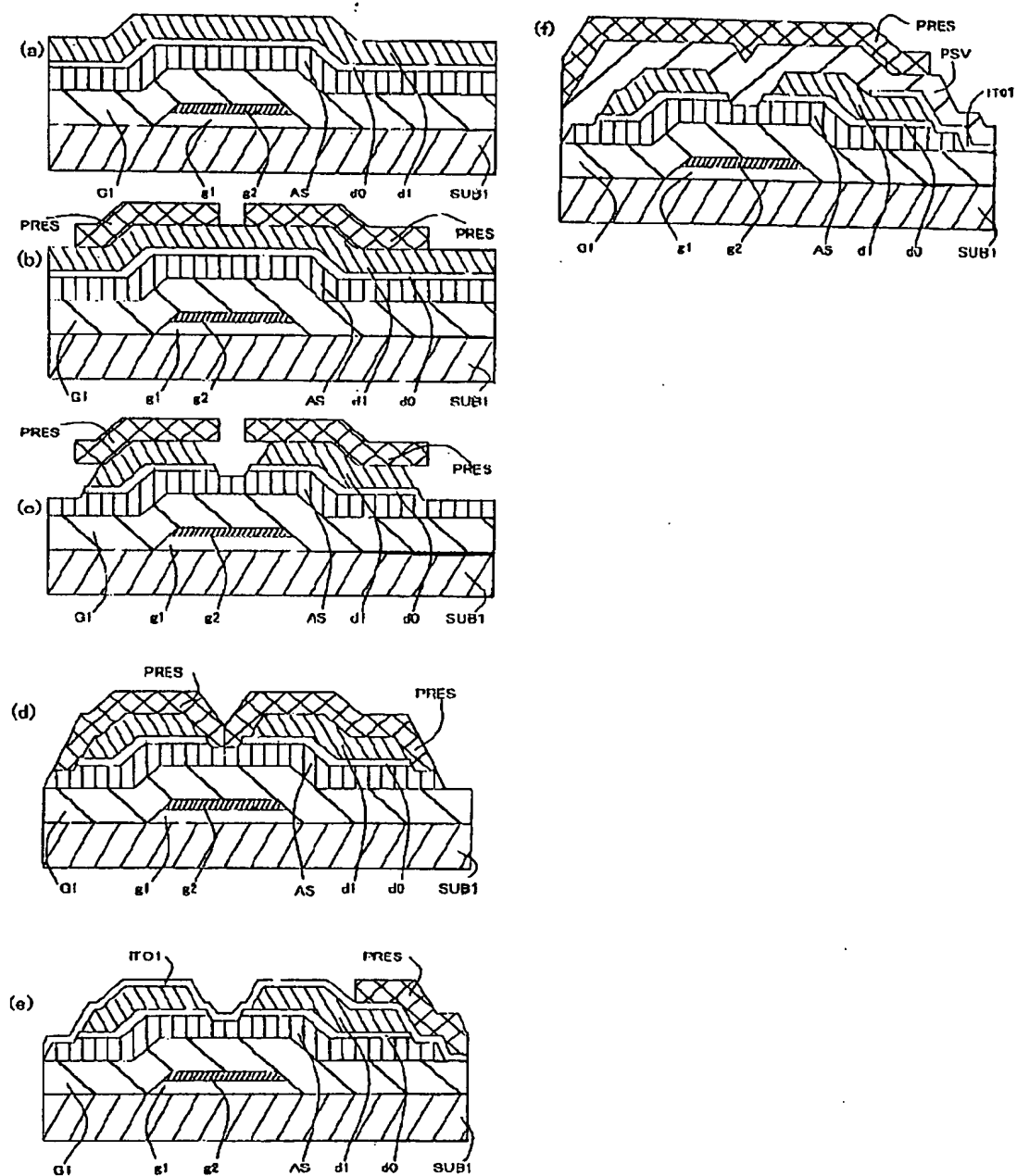
【図13】

図13



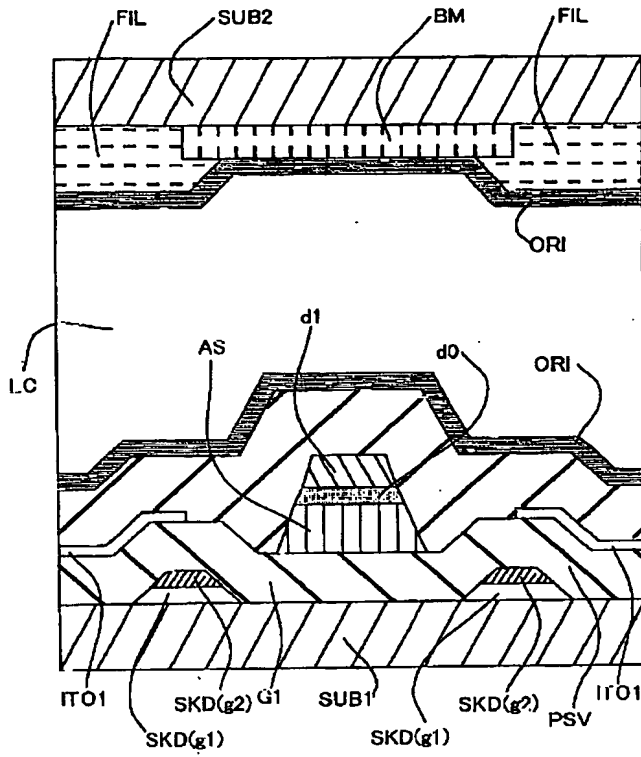
【図8】

図 8



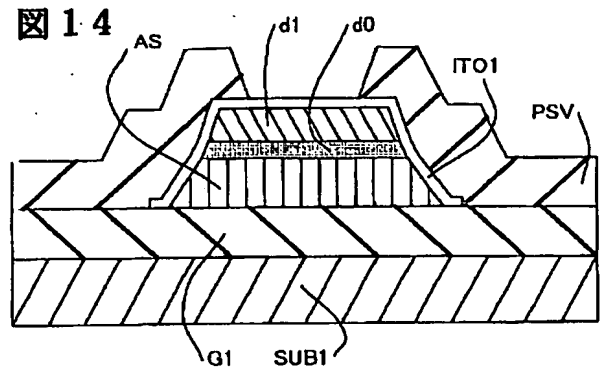
【図12】

図12



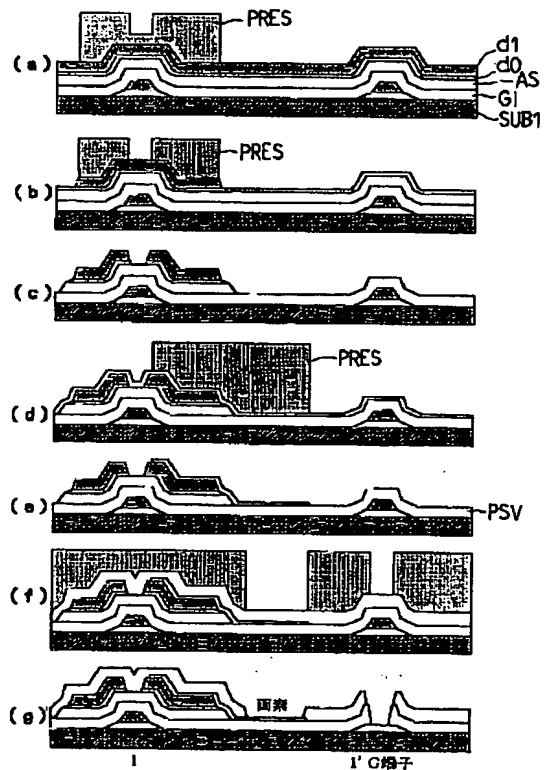
【図14】

図14



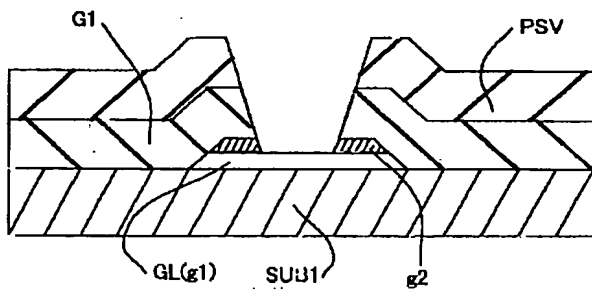
【図16】

図16



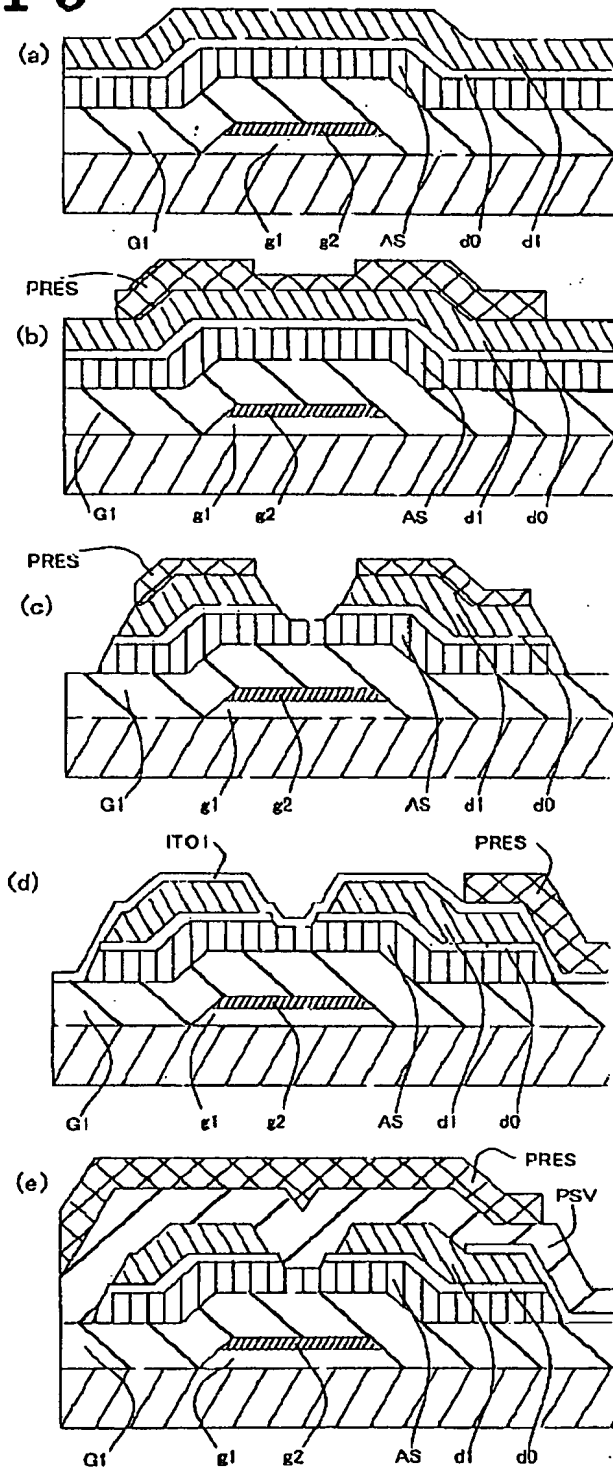
【図20】

図20



【図15】

図 15

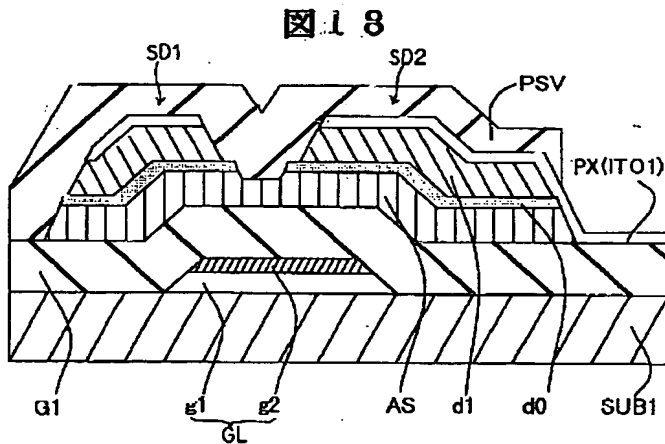


【図17】

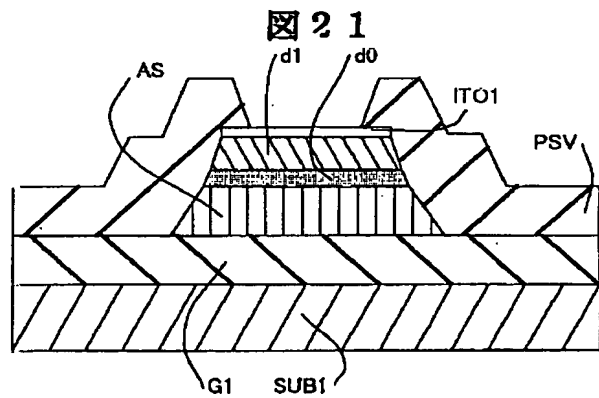
図 17

1	ゲートMo/ITO成膜
2	フォト① ゲートパターンニング
3	レジスト剥離
4	CVD3層ISOメタル連続成膜
5	フォト② ハーフ露光技術
6	チャネル部とa-Siエッチング
7	レジストを剥離
8	画素ITO成膜
9	フォト③ 画素ITO加工
10	レジストを剥離
11	PAS成膜
12	フォト④ 画素出し
13	レジストを剥離

【図18】

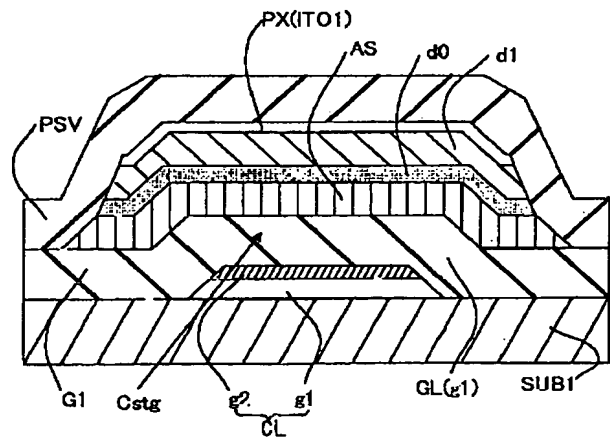


【図21】



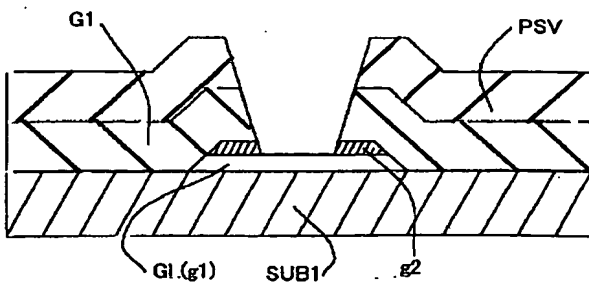
【図32】

図 3 2



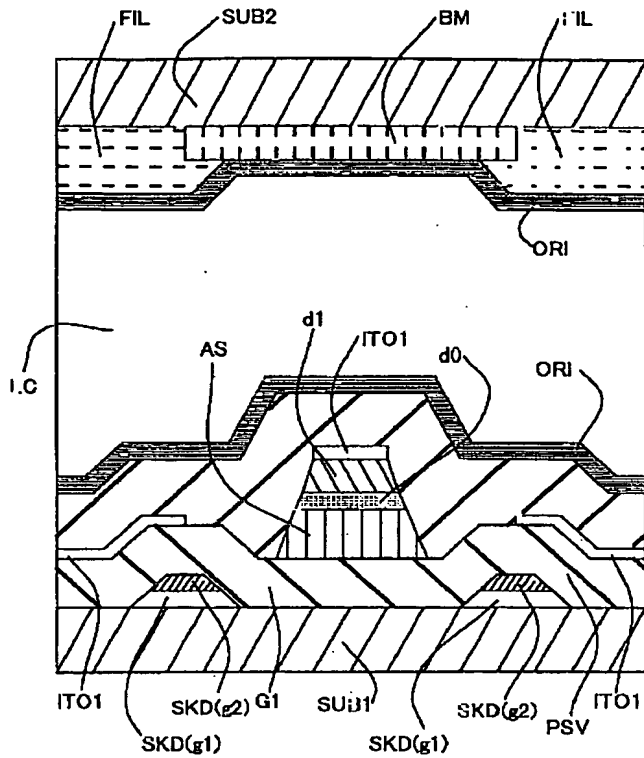
【図35】

図 3 5



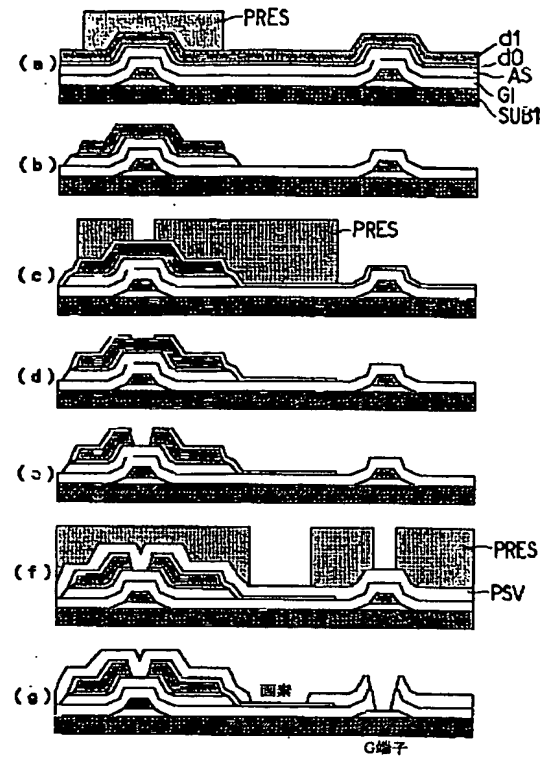
【図19】

図 1 9



【図23】

図 2 3



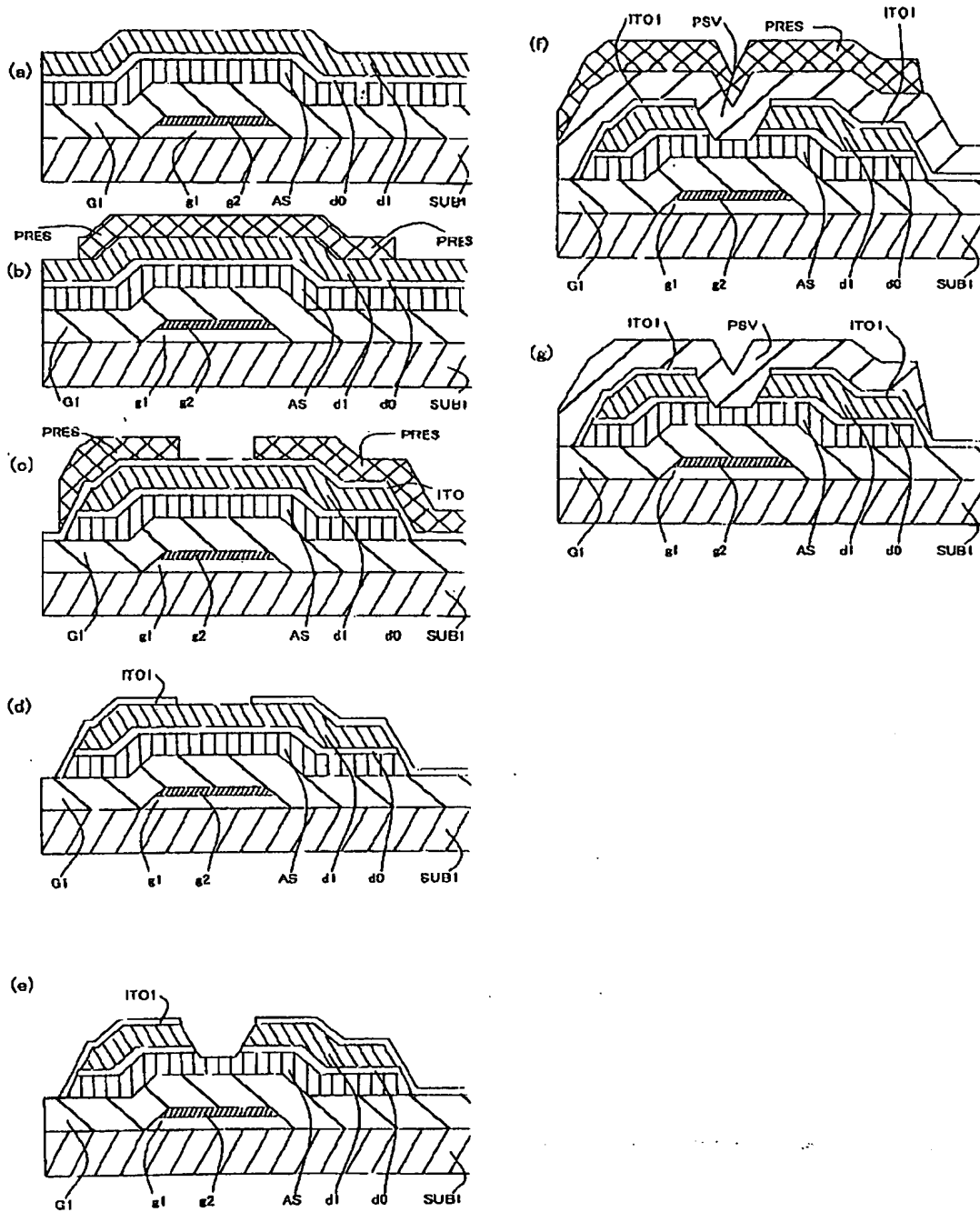
【図24】

図 2 4

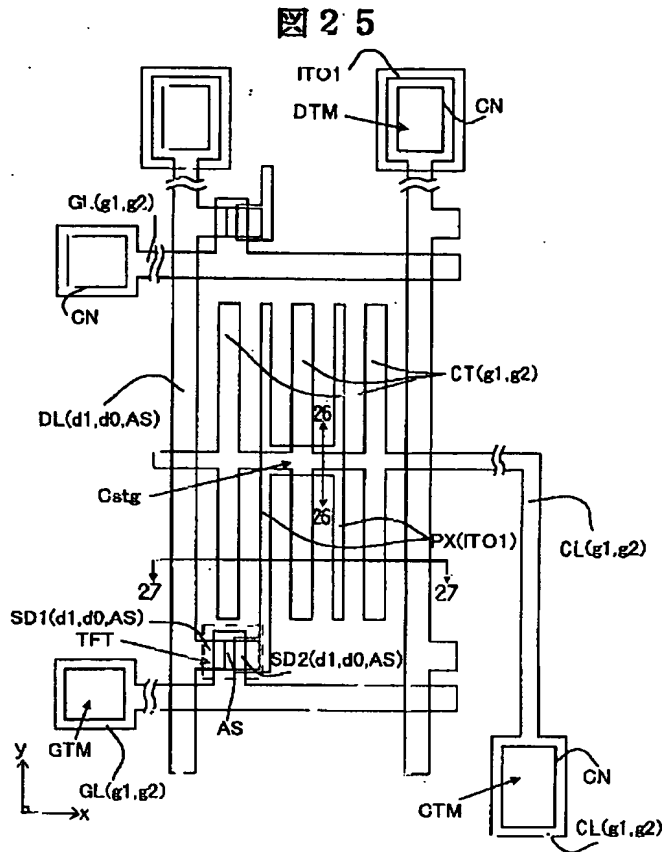
1	ゲートMo/ITO成膜
2	フォト① ゲートパターンニング
3	レジスト剥離
4	CVD3層+SDメタル連続成膜
5	フォト② a-Siパターンニング
6	a-Siエッチング
7	レジストを剥離
8	画素ITO成膜
9	フォト③ チャンネルパターンニング
10	チャンネルITOエッチング
11	レジスト剥離
12	チャンネルエッチ (ITOマスク)
13	PAS成膜
14	フォト④ 画素出し
15	レジストを剥離

【図22】

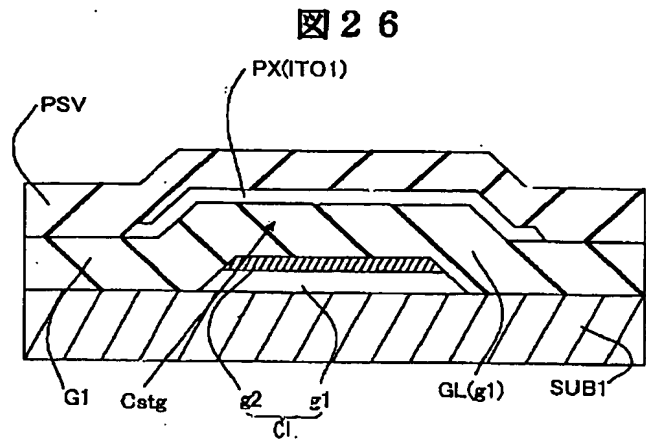
図 22



【図25】

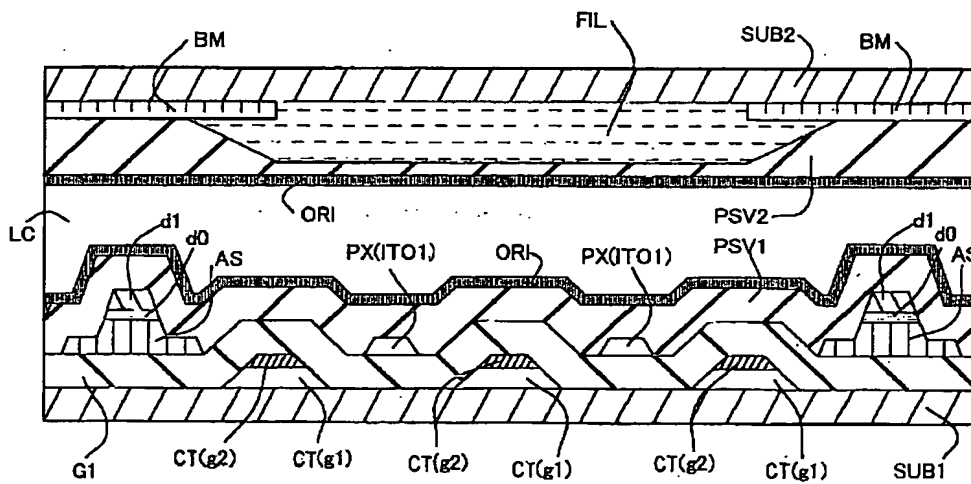


【図26】



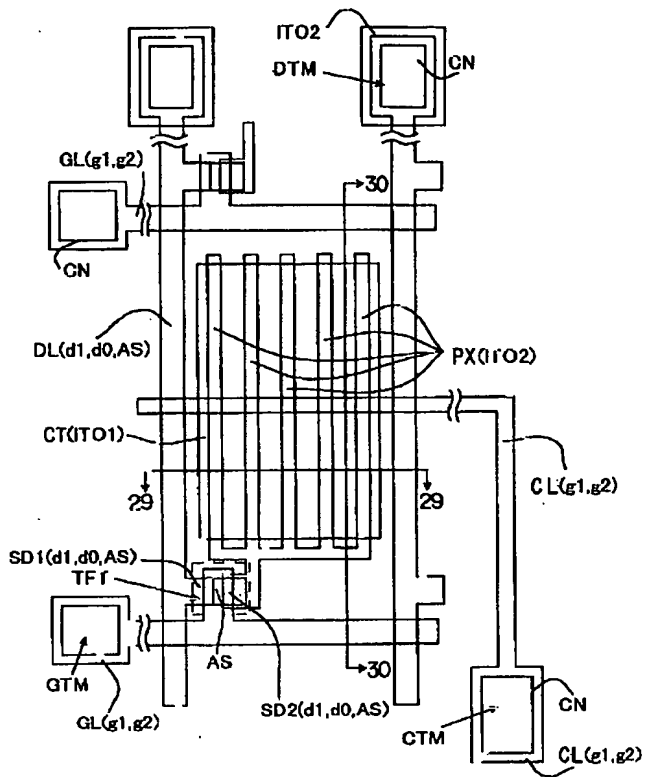
【図27】

図 27



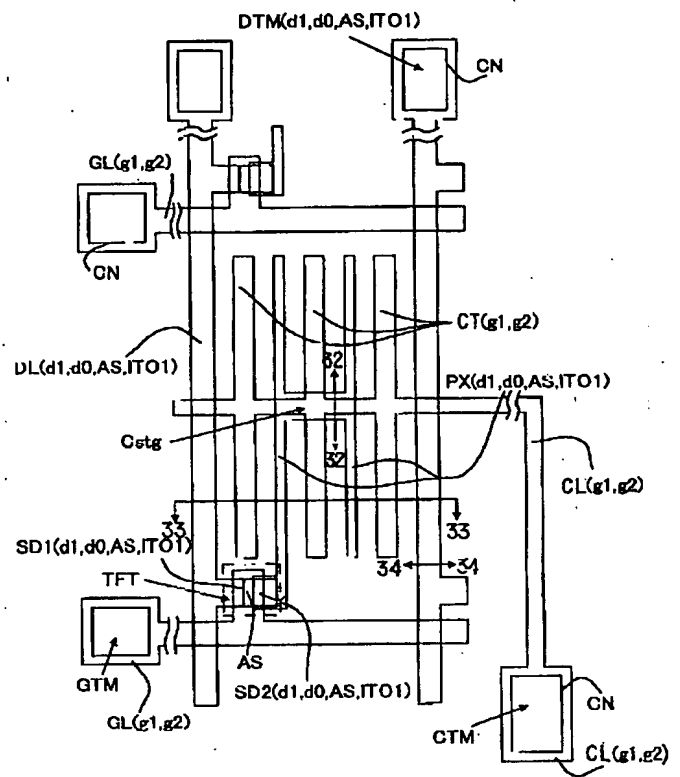
【図28】

図 28



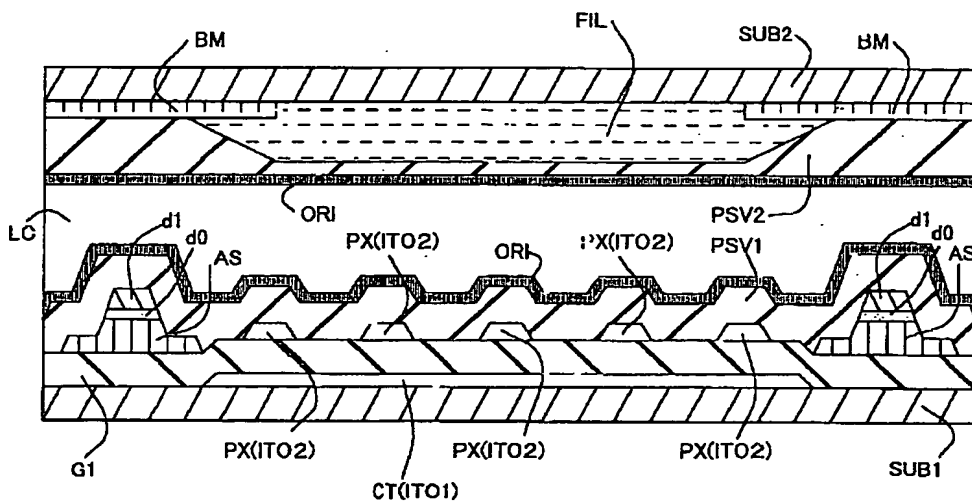
【図31】

図 31



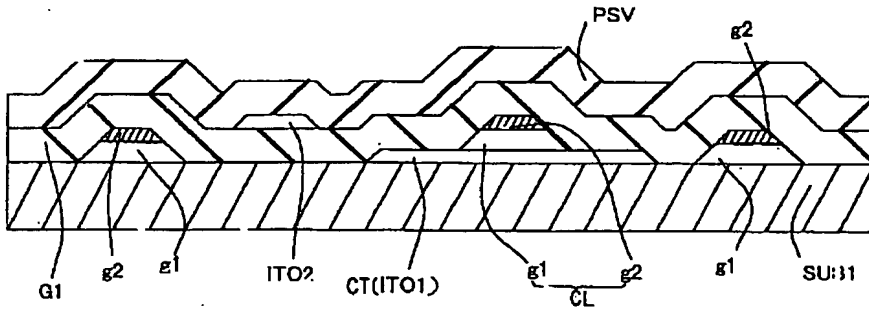
【図29】

図 29



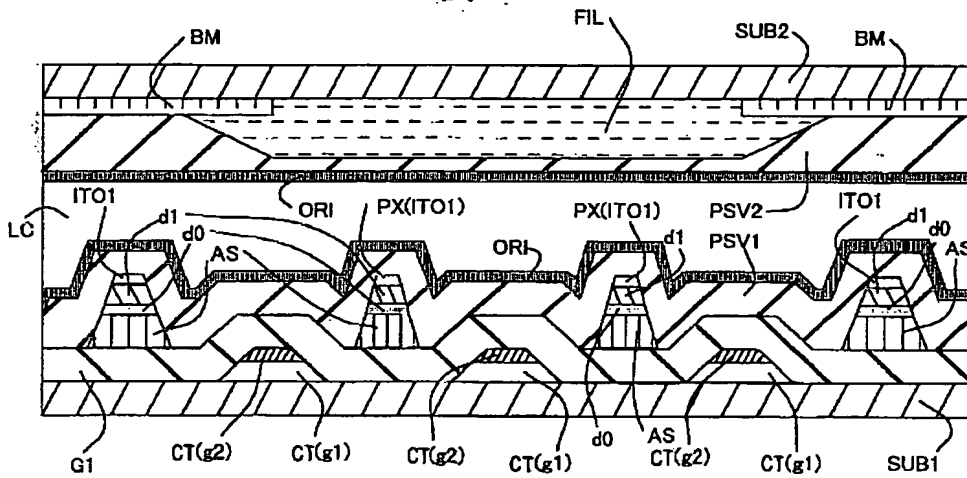
【図30】

図 30



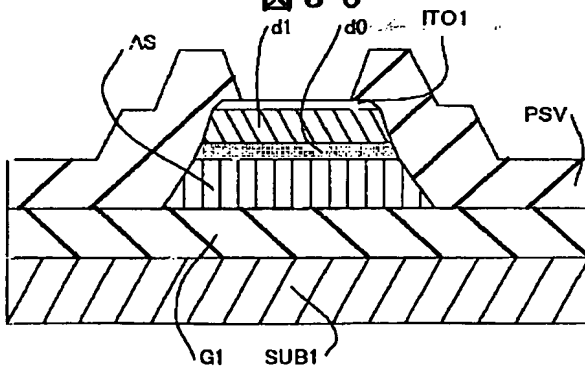
【図33】

図 33



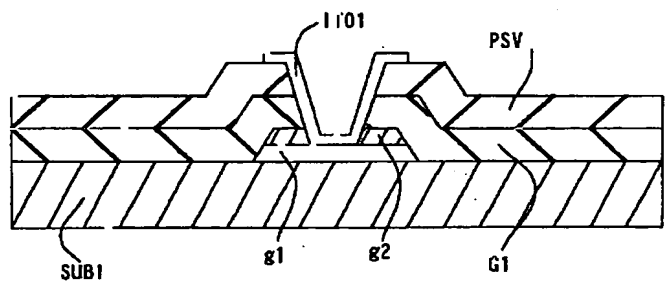
【図36】

図 36



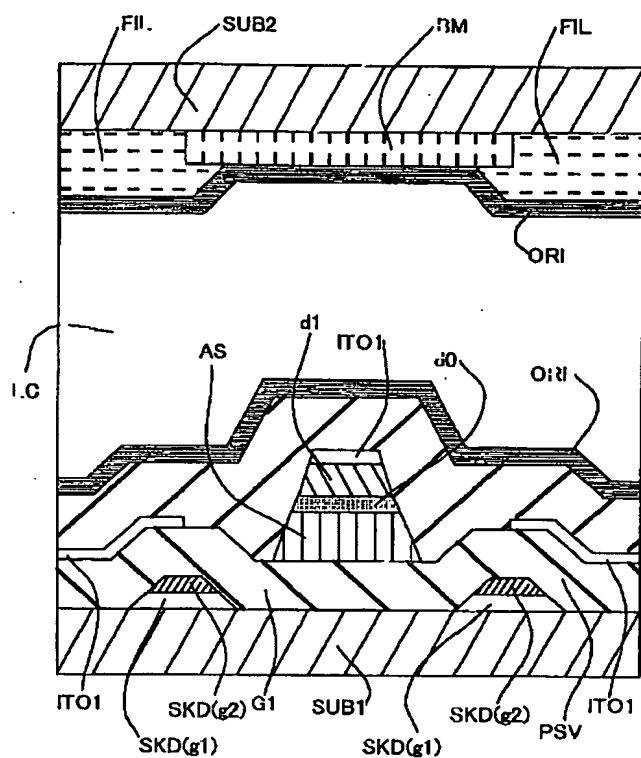
【図44】

図 44



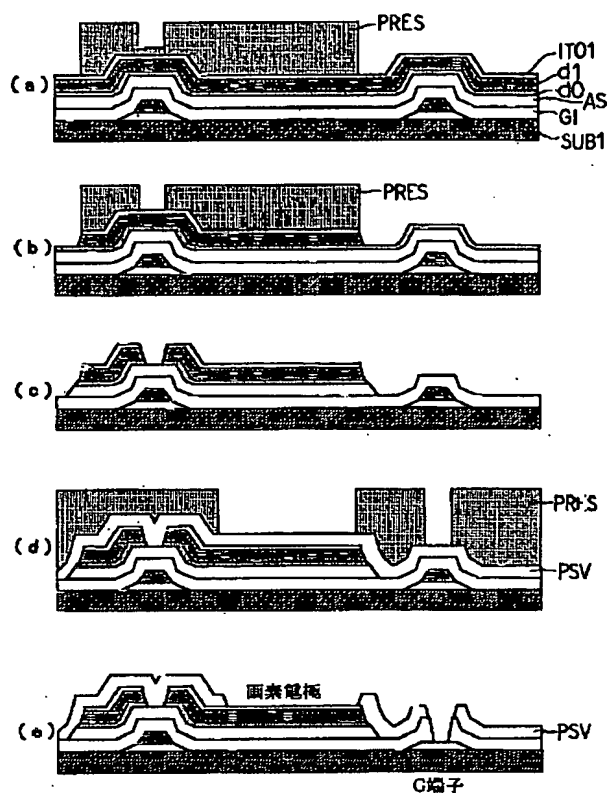
【図34】

図34



【図38】

図38



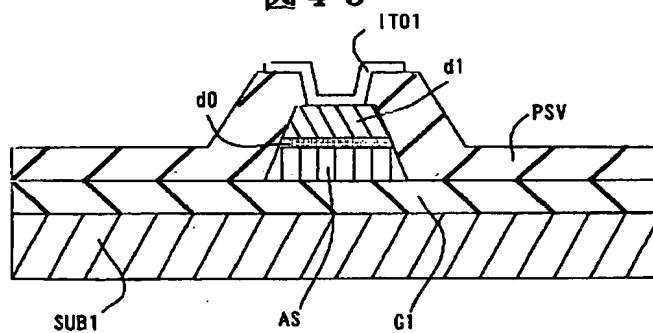
【図39】

図39

1	ゲートMo/ITO成膜
2	フォト① ゲートパターンニング
3	レジスト剥離
4	CVD3層+SDメタル+ITO連続成膜
5	フォト② ハーフ露光技術
6	チャネル部とa-Siと画素部エッチング
7	レジストを剥離
8	PAS成膜
9	フォト③ 画素出し
10	レジストを剥離

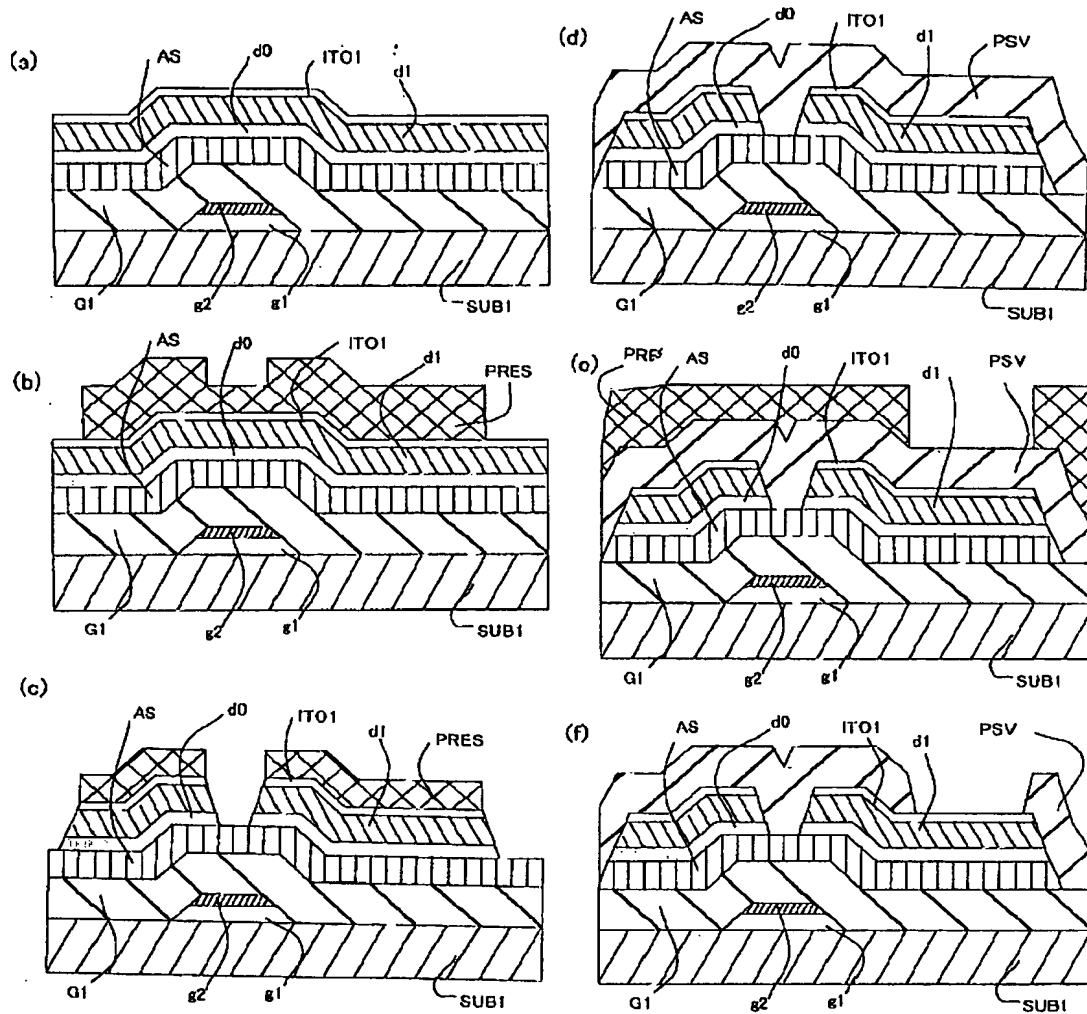
【図45】

図45



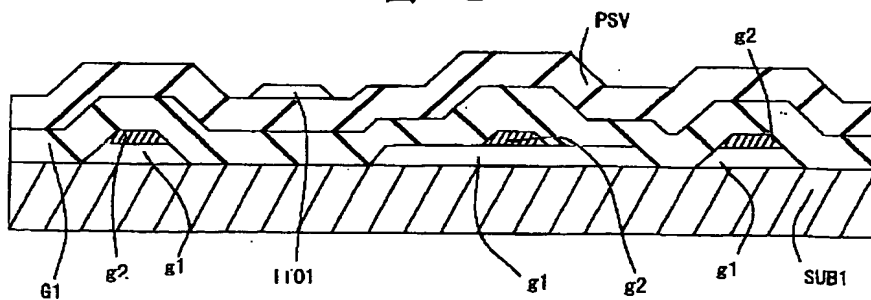
【図37】

図 37

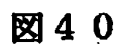


【図42】

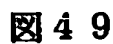
図 42



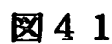
【図40】



【図49】

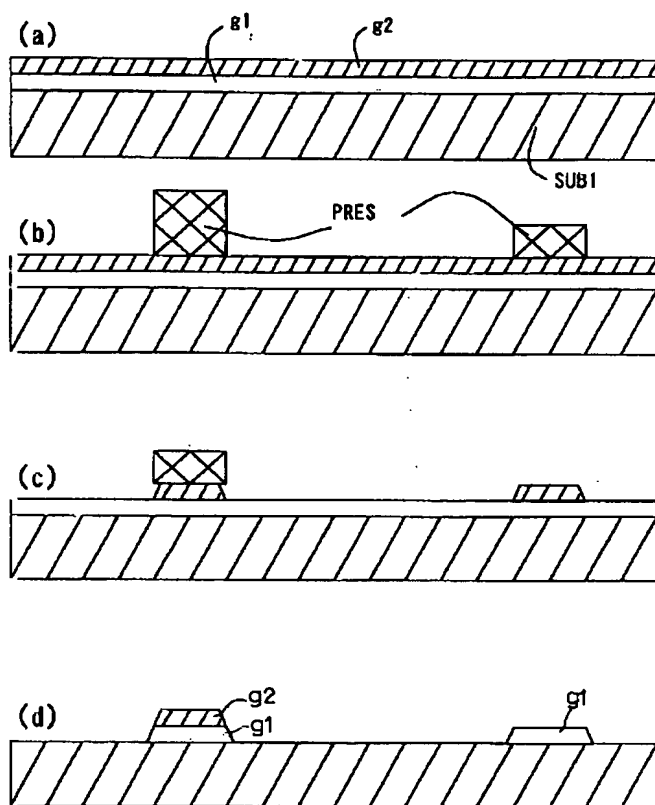


【図4 1】



【図43】

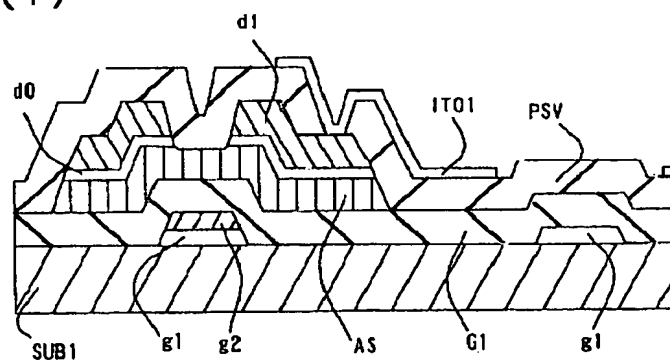
図43



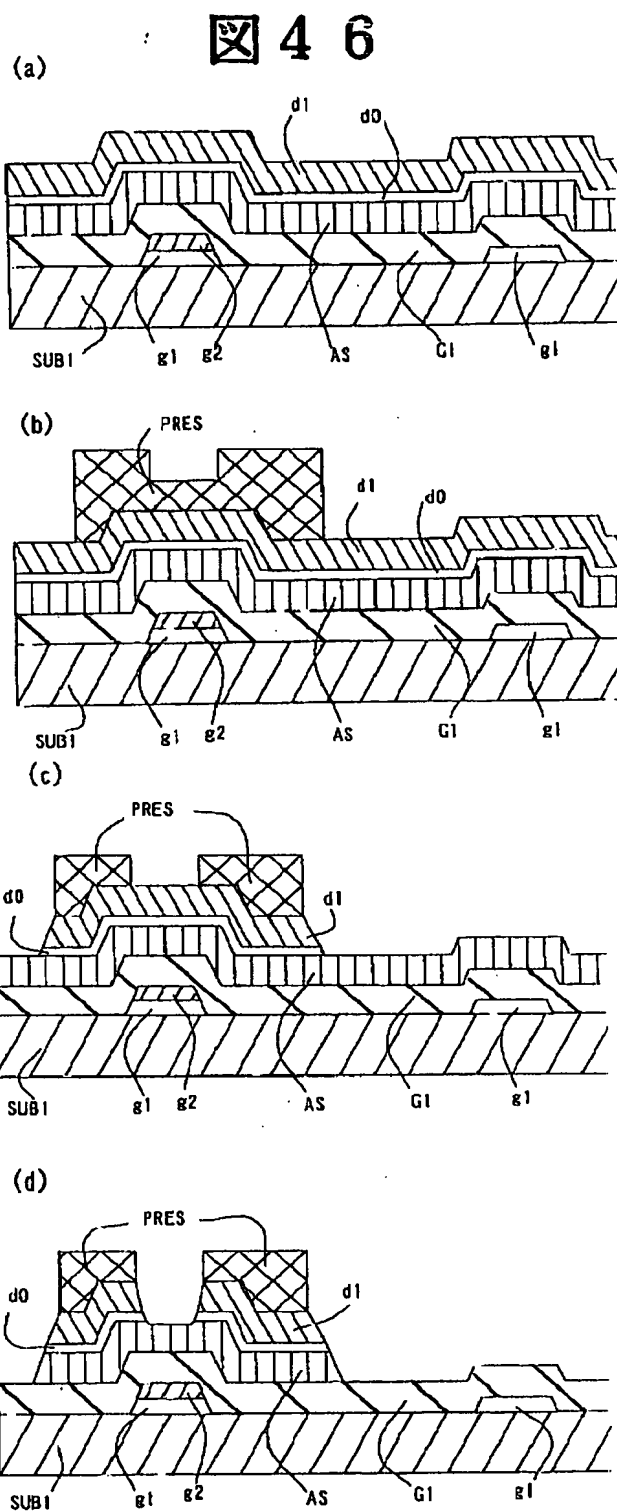
【図48】

図48

(i)



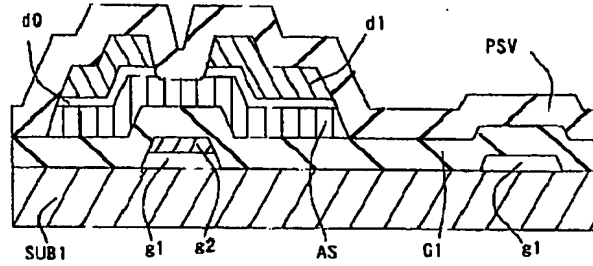
【図46】



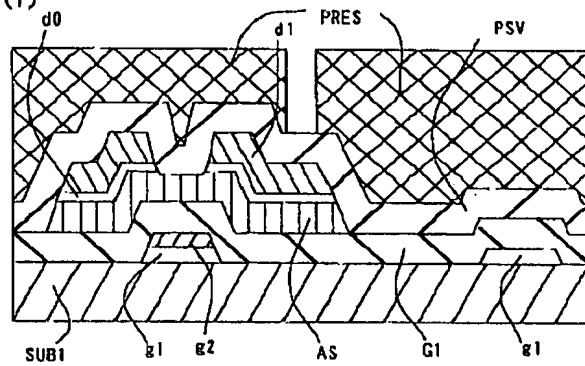
【図47】

(e)

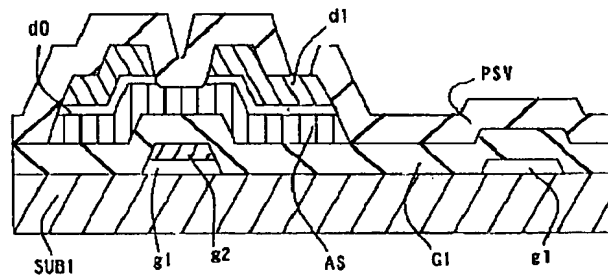
図 47



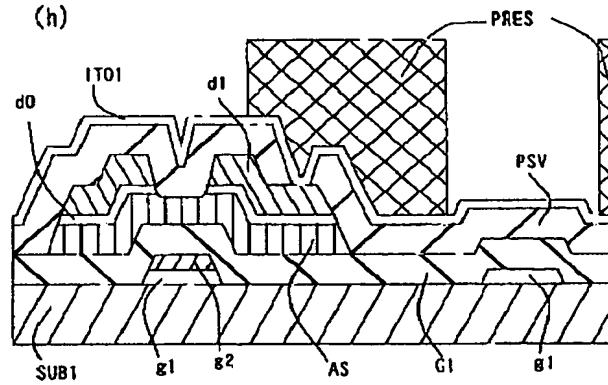
(f)



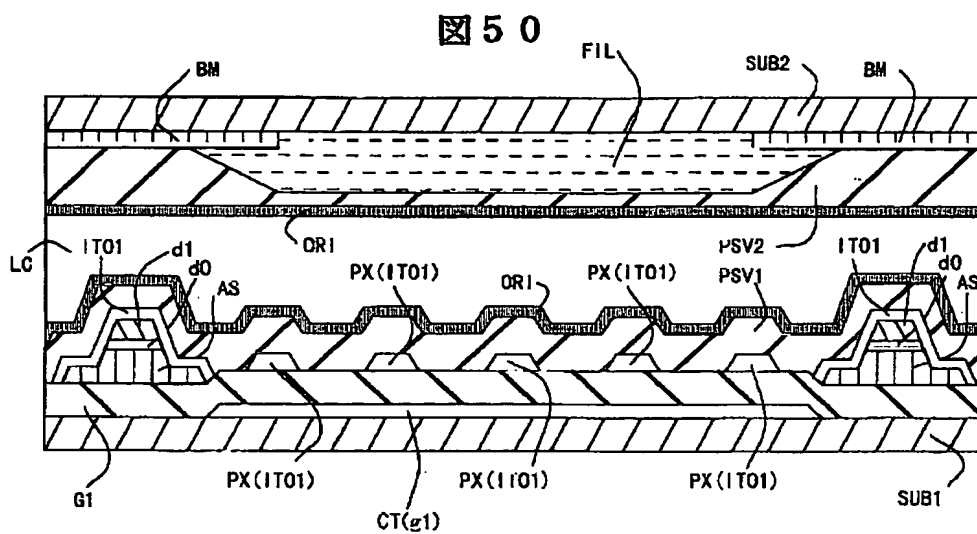
(g)



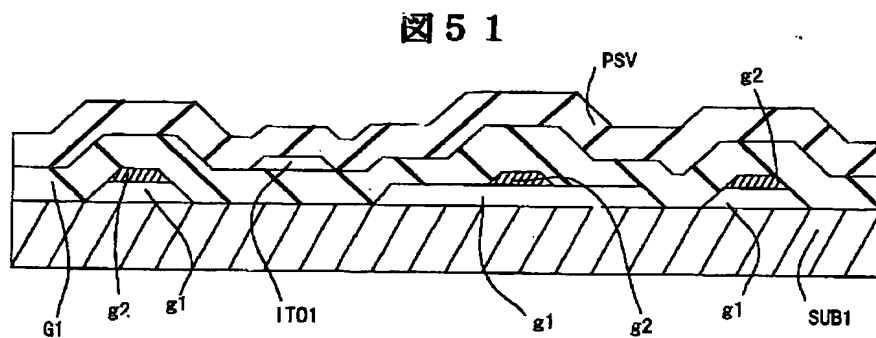
(h)



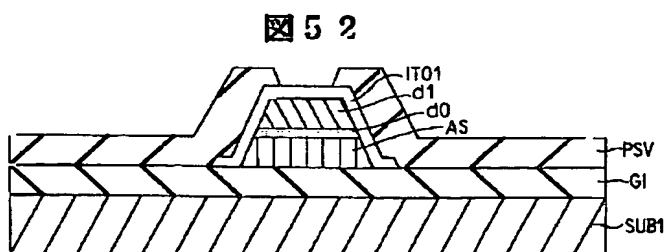
【図50】



【図51】

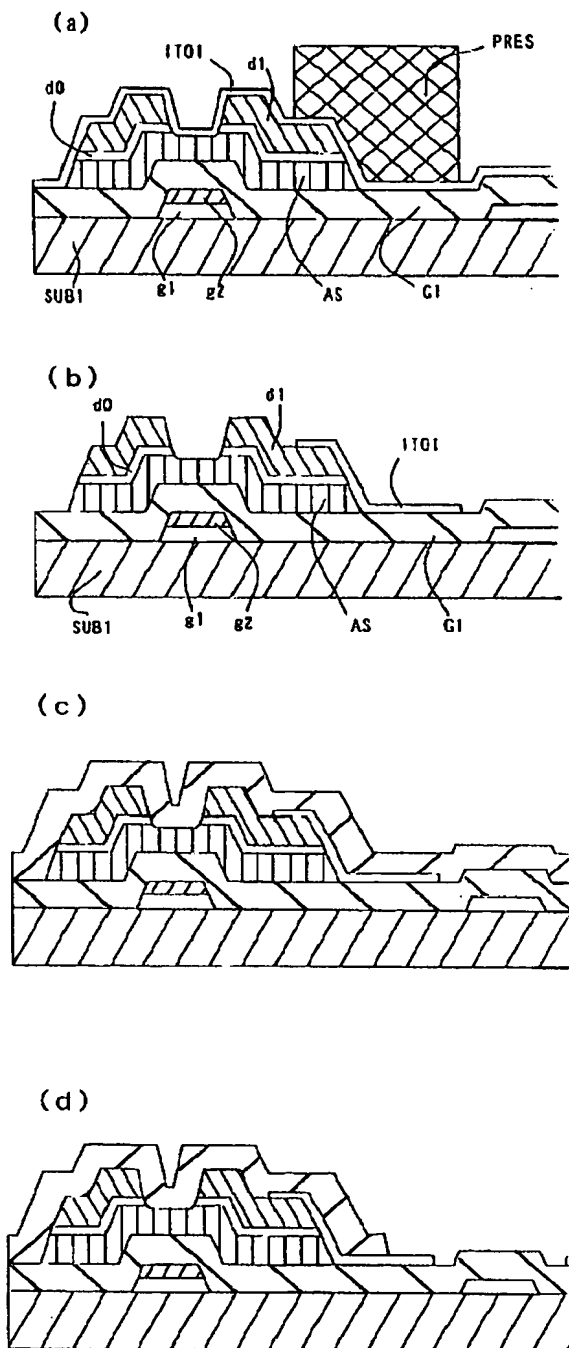


【図52】

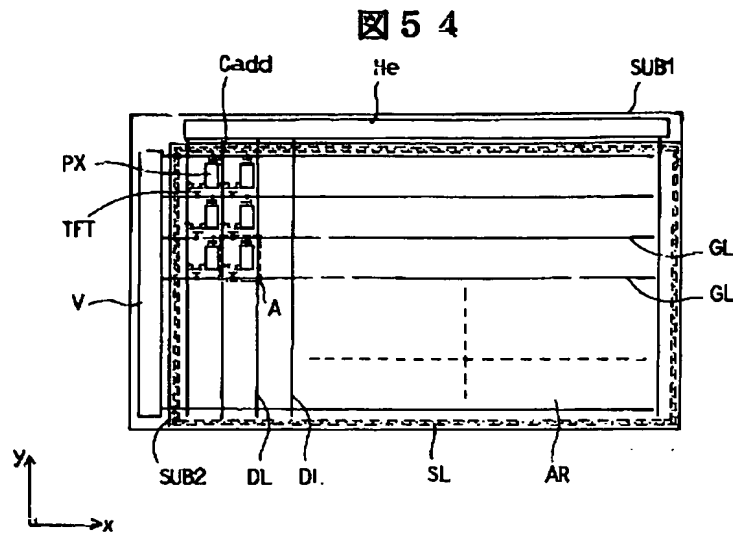


【図53】

図 5 3



【図54】



フロントページの続き

(72)発明者 小野 記久雄
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム(参考) 2H092 JA25 JA29 JA38 JA42 JA44
JB13 JB23 JB32 JB33 JB51
JB56 JB63 JB69 KA07 KA16
KA18 KB14 MA05 MA08 MA14
MA15 MA16 MA18 MA19 MA20
MA27 MA35 MA37 MA41 NA22
NA25 NA28 NA29 PA09
5C094 AA21 AA24 AA43 BA03 BA43
CA19 DA13 EA03 EA04 EA05
EA07 FB02 FB12 FB15
5F110 AA16 BB01 CC07 EE04 EE07
EE14 EE23 GG02 GG15 GG22
HK04 HK09 HK16 HK21 NN24
NN45 NN46 NN72 NN73 QQ05
QQ08 QQ09

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☒ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.